

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-018445

(43)Date of publication of application : 23.01.2001

(51)Int.Cl.

B41J 2/44  
H04N 1/23  
H04N 1/405

(21)Application number : 11-193925

(71)Applicant : RICOH CO LTD

(22)Date of filing : 08.07.1999

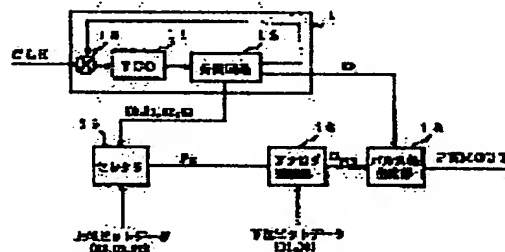
(72)Inventor : ISHIDA MASAOKI  
EMA HIDETOSHI

## (54) IMAGE-FORMING APPARATUS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a high level of image gradations even when an operation speed is high by generating by an image modulation signal-generating means an image modulation signal which is modulated in pulse width on the basis of a pulse and a clock generated by an analog delay means, and mounting to a one-chip integrated circuit.

**SOLUTION:** An analog delay part 16 generates a delay signal nearly inversely proportional to data expressing gradations, and delays by a desired phase based on the delay signal a clock signal CLK from the outside, or a signal or its inverted or backward signal of one pulse X0 among a plurality of pulses of different phases generated by a PLL circuit 1. A pulse width generate part 18 generates a pulse width signal on the basis of the pulse and clock signal CLK generated by the analog delay part 16, outputs the pulse width signal to a PWM (image modulation signal) generate part to generate an image modulation signal. These circuits are mounted to a one-chip integrated circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

multiple-value image data expressing gradation, and to scan said optical output to a rotation photo conductor. It has a scan photodetection means to detect the scan light from said scan means in a position to said rotation photo conductor. In the image formation equipment which forms the electrostatic latent image according to said digital multiple-value image data to the predetermined timing based on the detecting signal from said scan photodetection means, and forms the image according to said electrostatic latent image in a record medium The clock generation section which generates the clock signal used as the criteria which synchronized with the detecting signal from said scan photodetection means, A digital delay means to generate the multiplying clock signal with which it synchronized with the clock signal used as criteria, and multiplying of the frequency was carried out, and to generate two or more predetermined pulses which carried out phase delay from the generated multiplying clock signal, A pulse selection means to choose one pulse in two or more pulses from which said phase differs based on said clock signal and the high-order-bit signal of the digital multiple-value image data which was able to take the synchronization, An analog delay means to delay the pulse which generated the delay signal based on the lower bit signal of said digital multiple-value image data, and was chosen with said pulse selection means with a desired phase based on said delay signal, An image modulating-signal generation means to generate the image modulating signal by which Pulse Density Modulation was carried out based on the pulse generated with said analog delay means and one pulse in two or more pulses generated by said digital delay means Image formation equipment characterized by being mounted in the integrated circuit of one chip.

[Claim 4] A scan means to drive the optical output of semiconductor laser with the image modulating signal by which Pulse Density Modulation was carried out based on the digital multiple-value image data expressing gradation, and to scan said optical output to a rotation photo conductor, It has a scan photodetection means to detect the scan light from said scan means in a position to said rotation photo conductor. In the image formation equipment which forms the electrostatic latent image according to said digital multiple-value image data to the predetermined timing based on the detecting signal from said scan photodetection means, and forms the image according to said electrostatic latent image in a record medium The clock generation section which generates the clock signal used as the criteria which synchronized with the detecting signal from said scan photodetection means, A digital delay means to generate the multiplying clock signal with which it synchronized with the clock signal used as criteria, and multiplying of the frequency was carried out, and to generate two or more predetermined pulses which carried out phase delay from the generated multiplying clock signal, A pulse selection means to choose one pulse in two or more pulses from which said phase differs based on the high-order-bit signal of digital multiple-value image data, An analog delay means to delay the pulse which generated the delay signal based on the lower bit signal of digital multiple-value image data, and was chosen with said pulse selection means with a desired phase based on said delay signal, An image modulating-signal generation means to generate the image modulating signal by which Pulse Density Modulation was carried out based on the pulse generated with said analog delay means, and one pulse in two or more pulses generated by said digital delay means, The error amplifier which compares the light-receiving signal and reference signal which detected the optical output of said semiconductor laser by the photo detector, and controls the optical output of said semiconductor laser, Image formation equipment with which the semiconductor laser mechanical component which drives semiconductor laser by the desired optical output according to the semiconductor laser drive current acquired from said error amplifier is characterized by being mounted in the integrated circuit of one chip.

[Claim 5] It is image formation equipment characterized by said clock generation section having a phase-locked loop circuit and the synchronization pulse generation section of N individual (N is the natural number) in image formation equipment given in any 1 term of claim 1 thru/or claim 4.

[Claim 6] It is image formation equipment characterized by constituting said integrated circuit using a bipolar transistor in image formation equipment given in any 1 term of claim 1 thru/or claim 4.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] A scan means to drive the optical output of semiconductor laser with the image modulating signal by which Pulse Density Modulation was carried out based on the digital multiple-value image data expressing gradation, and to scan said optical output to a rotation photo conductor, It has a scan photodetection means to detect the scan light from said scan means in a position to said rotation photo conductor. In the image formation equipment which forms the electrostatic latent image according to said digital multiple-value image data to the predetermined timing based on the detecting signal from said scan photodetection means, and forms the image according to said electrostatic latent image in a record medium The clock generation section which generates the clock signal used as the criteria which synchronized with the detecting signal from said scan photodetection means, An analog delay means to delay the normal rotation or the reversal signal of a clock signal which generates the delay signal which carries out an abbreviation inverse proportion to digital multiple-value image data, and serves as criteria with a desired phase based on said delay signal, Image formation equipment with which an image modulating-signal generation means to generate the image modulating signal by which pulse width modulation was carried out based on the pulse generated with said analog delay means and said clock signal is characterized by being mounted in the integrated circuit of one chip.

[Claim 2] A scan means to drive the optical output of semiconductor laser with the image modulating signal by which Pulse Density Modulation was carried out based on the digital multiple-value image data expressing gradation, and to scan said optical output to a rotation photo conductor, It has a scan photodetection means to detect the scan light from said scan means in a position to said rotation photo conductor. In the image formation equipment which forms the electrostatic latent image according to said digital multiple-value image data to the predetermined timing based on the detecting signal from said scan photodetection means, and forms the image according to said electrostatic latent image in a record medium The clock generation section which generates the clock signal used as the criteria which synchronized with the detecting signal from said scan photodetection means, An analog delay means to delay the normal rotation or the reversal signal of a clock signal which generates the delay signal which carries out an abbreviation inverse proportion to digital multiple-value image data, and serves as criteria with a desired phase based on said delay signal, An image modulating-signal generation means to generate the image modulating signal by which Pulse Density Modulation was carried out based on the pulse generated with said analog delay means, and said clock signal, The error amplifier which compares the light-receiving signal and reference signal which detected the optical output of said semiconductor laser by the photo detector, and controls the optical output of said semiconductor laser, Image formation equipment with which the semiconductor laser mechanical component which drives semiconductor laser by the desired optical output according to the semiconductor laser drive current acquired from said error amplifier is characterized by being mounted in the integrated circuit of one chip.

[Claim 3] A scan means to drive the optical output of semiconductor laser with the image modulating signal by which Pulse Density Modulation was carried out based on the digital



2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-18445  
(P2001-18445A)

(43) 公開日 平成13年1月23日 (2001.1.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト (参考)
B 4 1 J 2/44		B 4 1 J 3/00	D 2 C 3 6 2
H 0 4 N 1/23	1 0 3	H 0 4 N 1/23	1 0 3 B 5 C 0 7 4
1/405		1/40	B 5 C 0 7 7

審査請求 未請求 請求項の数 6 O L (全 25 頁)

(21) 出願番号 特願平11-193925

(22) 出願日 平成11年7月8日 (1999.7.8)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 石田 雅章

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 江間 秀利

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100090240

弁理士 植本 雅治

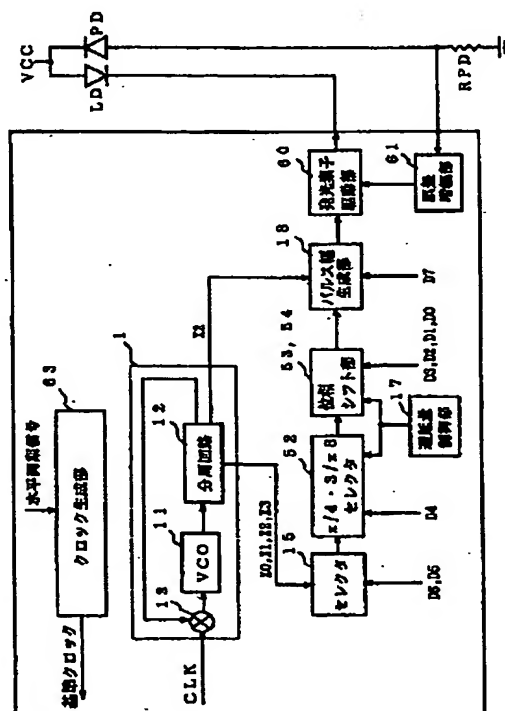
最終頁に続く

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】 動作速度が速い場合でも画像の高階調性を実現できる画像形成装置を提供する。

【解決手段】 走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部63と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとクロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されている。



## 【特許請求の範囲】

【請求項 1】 階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、前記光出力を回転感光体に走査する走査手段と、前記回転感光体に対し所定の位置において前記走査手段からの走査光を検出する走査光検出手段とを有し、前記走査光検出手段からの検出信号に基づいた所定のタイミングで前記デジタル多値画像データに応じた静電潜像を形成し、記録媒体に前記静電潜像に応じた画像を形成する画像形成装置において、前記走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を前記遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、前記アナログ遅延手段で生成されたパルスと前記クロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴とする画像形成装置。

【請求項 2】 階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、前記光出力を回転感光体に走査する走査手段と、前記回転感光体に対し所定の位置において前記走査手段からの走査光を検出する走査光検出手段とを有し、前記走査光検出手段からの検出信号に基づいた所定のタイミングで前記デジタル多値画像データに応じた静電潜像を形成し、記録媒体に前記静電潜像に応じた画像を形成する画像形成装置において、前記走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を前記遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、前記アナログ遅延手段で生成されたパルスと前記クロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、前記半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し前記半導体レーザの光出力を制御する誤差増幅部と、前記誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴とする画像形成装置。

【請求項 3】 階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、前記光出力を回転感光体に走査する走査手段と、前記回転感光体に対し所定の位置において前記走査手段からの走査光を検出する走査光検出手段とを有し、前記走査光検出手段からの検出信号に基づいた所定のタイミングで前記デジタル多値画像データに応じた静電潜像を形成し、記録媒体に前記静電潜像

に応じた画像を形成する画像形成装置において、前記走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、前記クロック信号と同期の取れたデジタル多値画像データの上位ビット信号に基づき、前記位相の異なる複数のパルスのうちの 1 つのパルスを選択するパルス選択手段と、前記デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、前記パルス選択手段で選択されたパルスを前記遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、前記アナログ遅延手段で生成されたパルスと前記デジタル遅延手段により生成された複数のパルスのうちの 1 つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴とする画像形成装置。

【請求項 4】 階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、前記光出力を回転感光体に走査する走査手段と、前記回転感光体に対し所定の位置において前記走査手段からの走査光を検出する走査光検出手段とを有し、前記走査光検出手段からの検出信号に基づいた所定のタイミングで前記デジタル多値画像データに応じた静電潜像を形成し、記録媒体に前記静電潜像に応じた画像を形成する画像形成装置において、前記走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、デジタル多値画像データの上位ビット信号に基づき、前記位相の異なる複数のパルスのうちの 1 つのパルスを選択するパルス選択手段と、デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、前記パルス選択手段で選択されたパルスを前記遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、前記アナログ遅延手段で生成されたパルスと前記デジタル遅延手段により生成された複数のパルスのうちの 1 つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、前記半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し前記半導体レーザの光出力を制御する誤差増幅部と、前記誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴とする画像形成装置。

【請求項 5】 請求項 1 乃至請求項 4 のいずれか一項に記載の画像形成装置において、前記クロック生成部は、

位相同期ループ回路と、 $N$ 個 ( $N$ は自然数)の同期パルス生成部とを有していることを特徴とする画像形成装置。

【請求項6】 請求項1乃至請求項4のいずれか一項に記載の画像形成装置において、前記集積回路は、バイポーラトランジスタを用いて構成されていることを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レーザプリンタ、LEDプリンタ、光ディスク装置、デジタル複写機、光通信装置等に利用される画像形成装置に関する。

【0002】

【従来の技術】近年、光源の光出力を変調する方式として、光の量自体を変調するパワー変調方式、光の点灯時間を変調するパルス幅変調方式、およびその両者を組み合わせたパワー・パルス幅混合変調方式などがある。それらの方式のうち、パルス幅変調方式としては、例えば図23に示すように、各パルス発生周期に対応した三角波もしくはのこぎり波を発生し(図23(a))、三角波もしくはのこぎり波のレベルをコンパレータを用いてスライスレベルと比較することでパルス幅変調信号を生成する(図23(b))所謂アナログ的なパルス幅変調方式や、例えば、図24に示すように、高周波クロックを生成し(図24(a))、デジタル的にそのクロックを分周することで遅延パルスを生成し(図24(b)、(c)、(d))、その論理和または論理積でパルス幅変調信号(図24(e))には、図24(b)のパルスと図24(c)のパルスとの論理積をとったパルス幅変調信号が示されている)を生成する所謂デジタル式のパルス幅変調方式などが提案されている。

【0003】

【発明が解決しようとする課題】ところで、近年、パルス幅変調にて画像の階調表現を行なう画像形成装置においては動作速度の高速化が望まれている。なお、図25には、パルス幅変調にて画像の階調表現を行なう仕方の一例が示されている。すなわち、1画素を黒画素として表現する場合には、図25(a)に示すように、1画素分(1ドット分)のパルス幅をもつパルスを生成する。また、1画素を白画素として表現する場合には、図25(b)に示すように、パルス幅が0のパルスを生成する(すなわち、パルスを発生しない)。また、1画素を中間画素(グレイ階調の画素)として表現する場合には、図25(c)あるいは(d)に示すように、1画素分(1ドット分)のパルス幅よりも小さいパルス幅をもつパルスを生成することによって、階調表現を行なうことができる。

【0004】しかしながら、パルス幅変調方式として、上述した従来のアナログ的なパルス幅変調方式を用いる場合、三角波もしくはのこぎり波の直線性、再現性と動作速度の高速化とが両立しない。すなわち、動作速度を

高速化させると、三角波もしくはのこぎり波の直線性(リニアリティ)を得ることが困難になり、正確なパルス幅を得ることができない。また、パルス幅変調方式として上述した従来のデジタル式のパルス幅変調方式を用いる場合には、最高動作周波数はデバイスに依存し、画像の階調性と動作速度の高速化が両立しない。

【0005】例えば、画素クロックが50MHzにおいて256値変調をパルス幅で行なおうとすれば、アナログ的なパルス幅変調方式においては20nsの周期において三角波もしくはのこぎり波に良好な直線性およびスイングをもたせることは困難である。また、デジタル式のパルス幅変調方式においては50MHz $\times$ 256=12.8GHzのクロックを有する構成が必要となるが、12.8GHzのクロックを有する構成を実現することは困難である。

【0006】このように、従来では、高階調性を実現でき、かつ、高速動作を実現する画像形成装置を提供することは困難であった。

【0007】本発明は、動作速度が速い場合でも画像の高階調性を実現できる画像形成装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとクロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴としている。

【0009】また、請求項2記載の発明は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走



査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとクロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し半導体レーザの光出力を制御する誤差増幅部と、誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴としている。

【0010】また、請求項3記載の発明は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に前記静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、クロック信号と同期の取れたデジタル多値画像データの上位ビット信号に基づき、位相の異なる複数のパルスのうちの1つのパルスを選択するパルス選択手段と、デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、パルス選択手段で選択されたパルスを遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとデジタル遅延手段により生成された複数のパルスのうちの1つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴としている。

【0011】また、請求項4記載の発明は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号

を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、デジタル多値画像データの上位ビット信号に基づき、位相の異なる複数のパルスのうちの1つのパルスを選択するパルス選択手段と、デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、パルス選択手段で選択されたパルスを遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとデジタル遅延手段により生成された複数のパルスのうちの1つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し半導体レーザの光出力を制御する誤差増幅部と、誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴としている。

【0012】また、請求項5記載の発明は、請求項1乃至請求項4のいずれか一項に記載の画像形成装置において、クロック生成部は、位相同期ループ回路と、N個(Nは自然数)の同期パルス生成部とを有していることを特徴としている。

【0013】また、請求項6記載の発明は、請求項1乃至請求項4のいずれか一項に記載の画像形成装置において、集積回路は、バイポーラトランジスタを用いて構成されていることを特徴としている。

#### 【0014】

【発明の実施の形態】図1は本発明に係るパルス幅変調装置の構成例を示す図である。図1のパルス幅変調装置は、VCO11、分周回路12、位相比較器または位相周波数比較器13を有し、位相の異なる複数のパルス、例えばX0、X1、X2、X3を生成するPLL(フェーズ・ロックド・ループ)回路1と、PLL回路1で生成された位相の異なる複数のパルスのうちの1つのパルスを選択するセレクト15と、セレクト15により選択されたパルスの位相をアナログ的に遅延させるアナログ遅延部16と、アナログ遅延部16により位相が一定量遅れたパルスと基準となる基本信号(例えば、外部からのクロックCLK、あるいは、PLL回路1により生成された位相の異なる複数のパルスのうちの1つのパルス(例えばX0など))とによりパルス幅を生成するパルス幅生成部18とから構成されている。

【0015】図2は図1のパルス幅変調装置の動作の概略を説明するためのタイムチャートである。図2においては、説明を簡単にするため、PLL回路1において、外部からのクロック(画素クロック)CLKの周波数は4通倍されるとする。例えば、PLL回路1に入力するクロックの周波数が50MHzであるとき、PLL回路1のVCO11から出力されるパルス周波数は、 $50 \times 4 = 200\text{MHz}$ になるとする。図2(a)には4通倍され



たクロック(4×CLK)が示されている。ここで、この4通倍されたクロックのデューティは50%であるとする。これは、4通倍されたクロック(4×CLK)の周波数(例えば200MHz)をさらに通倍して400MHzの周波数のものにすることができるからである。

【0016】また、PLL回路1の分周回路12は、VCO11から出力される4通倍されたクロック(4×CLK)より図2(b)~(e)に示すような $\pi/4$ ずつ位相の異なるパルスX0~X3を生成する。ここで、このパルス幅変調装置のパルス幅変調によって画像の階調表現を行なうとする場合、最上位ビットがD4、最下位ビットがD0である画像データ(デジタルデータ; 階調を表現するデータ)が入力されると仮定し(すなわち、1ドットあたり $2^5=32$ 階調のパルス幅変調を行なうと仮定し)、図1に示すように、上位ビットD4、D3、D2がセクタ15に入力し、下位ビットデータD1、D0がアナログ遅延部16に入力するとする。この例の場合、セクタ15における論理は、セクタ15の出力をPsとするととき、例えば次式で表わされる。

【0017】

【数1】  $P_s = D_4 \cdot (D_3 \cdot D_2 \cdot X_3 + D_3 \cdot *D_2 \cdot X_2 + *D_3 \cdot D_2 \cdot X_1 + *D_3 \cdot *D_2 \cdot X_0) + *D_4 \cdot (D_3 \cdot D_2 \cdot *X_3 + D_3 \cdot *D_2 \cdot *X_2 + *D_3 \cdot D_2 \cdot *X_1 + *D_3 \cdot *D_2 \cdot *X_0)$

【0018】すなわち、セクタ15からは、データD4、D3、D2に応じて、X3、X2、X1、X0、\*X3、\*X2、\*X1、\*X0のいずれか1つが選択されて出力される。なお、\*は反転記号である。

【0019】次に、アナログ遅延部16においては、下位ビットデータD1、D0に従い、X0の周期をTとするとき、D1・D0を(3/32)T遅延とし、D1・\*D0を(2/32)T遅延とし、\*D1・D0を(1/32)T遅延とし、\*D1・\*D0を遅延なしとする。いま、例えば、D4、D3、D2、D1、D0が(1, 1, 0, 1, 0)であるときには、アナログ遅延部16の出力をDnsとすると、アナログ遅延部16の出力Dnsは、図2(f)に示すように、 $X_2 + \Delta 1$  ( $\Delta 1 = (2/32)T$ 遅延)となる。そして、パルス幅生成部18では、例えば、アナログ遅延部16の出力Dnsと\*X0との論理積をとってUとする。上述の例では、 $U = *X_0 \cdot (X_2 + \Delta 1)$ となり、図2(g)に示すようなパルスUが得られる。また、パルス幅生成部18では、 $D_4 \cdot X_0 + U$ をパルス幅信号PWMOUTとして最終的に出力する。すなわち、上述の例では、最上位ビットD4が1であるので、図2(h)に示すようなパルス幅信号PWMOUTを1ドットに出力することができる。

【0020】なお、図2の例では、1ドット内において左に寄せたドットを形成しているが、セクタ15の論理やアナログ遅延部16の設定により、ドット内において右に寄せたドット形成も可能である。図3には、ドッ

ト内において右に寄せたドットを形成する例が示されている。なお、図3において、図3(a)乃至(e)に示す基本パルス4×CLK、分周パルスX0~X3は、図2(a)乃至(e)に示すものと同じである。

【0021】ドット内において右に寄せたドットを形成する場合には、セクタ15における論理は、セクタ15の出力をPsとするととき、次式で表わされる。

【0022】

【数2】  $P_s = D_4 \cdot (D_3 \cdot D_2 \cdot X_0 + D_3 \cdot *D_2 \cdot X_1 + *D_3 \cdot D_2 \cdot X_2 + *D_3 \cdot *D_2 \cdot X_3) + *D_4 \cdot (D_3 \cdot D_2 \cdot *X_0 + D_3 \cdot *D_2 \cdot *X_1 + *D_3 \cdot D_2 \cdot *X_2 + *D_3 \cdot *D_2 \cdot *X_3)$

【0023】すなわち、この場合も、セクタ15からは、データD4、D3、D2に応じて、X3、X2、X1、X0、\*X3、\*X2、\*X1、\*X0のいずれか1つが選択されて出力されるが、図3(数2)の例では、図2(数1)の例に対し、X0、X1、X2、X3、\*X0、\*X1、\*X2、\*X3の選択論理の順序が逆になっている。

【0024】そして、図3の例では、アナログ遅延部16において、D1・D0を(1/32)T遅延とし、D1・\*D0を(2/32)T遅延とし、\*D1・D0を(3/32)T遅延とし、\*D1・\*D0を(4/32)T遅延とする。いま、例えば、D4、D3、D2、D1、D0が(1, 0, 1, 0, 1)であるときには、アナログ遅延部16の出力Dnsは、図3(f)に示すように、 $X_2 + \Delta 2$  ( $\Delta 2 = (3/32)T$ 遅延)となる。そして、パルス幅生成部18では、アナログ遅延部の出力DnsとX0との論理積をとってUとする。上述の例では、 $U = X_0 \cdot (X_2 + \Delta 2)$ となり、図3(g)に示すようなパルスUが得られる。また、パルス幅生成部18では、 $D_4 \cdot *X_0 + U$ をパルス幅信号PWMOUTとして最終的に出力する。すなわち、上述の例では、最上位ビットD4が1であるので、図3(h)に示すようなパルス幅信号PWMOUTを1ドットに出力することができる。

【0025】このように、セクタ15の論理やアナログ遅延部16の設定により、ドット内において右に寄せたドット形成も可能であり、上記論理や遅延を切り替えるモードセクタがあれば、外部制御信号により、1ドット内でドット毎に左寄せ、右寄せのドット形成が可能である。

【0026】図4はアナログ遅延部16の構成例を示す図である。図4を参照すると、アナログ遅延部16は、第1の遅延制御電流Iiを生成する第1の遅延制御電流生成部19aと、第2の遅延制御電流Ij(j≠i)を生成する第2の遅延制御電流生成部19bと、第1の遅延制御電流Iiと第2の遅延制御電流Ijとの差分(Ii-Ij)と階調を表現するデータAnとに基づき、遅延量すなわち遅延信号(いま遅延させたい量を決定する遅延電流)Inを算出する遅延量制御電流算出部20と、

遅延量制御電流部20によって算出された遅延信号(遅延電流)に基づき基準となる基本信号の正転もしくは反転信号を遅延させる遅延部25とを備えている。なお、以下の説明では、第1の遅延制御電流生成部19aと第2の遅延制御電流生成部19bとを合わせて、便宜上、遅延量制御部17と称す。また、遅延量制御電流算出部20は、デジタルデータ(階調を表現するデジタルデータのうち、下位ビットデータ(例えば、D1、D0))をD/A変換してD/A変換結果Anを出力するD/A変換回路31と、IiとIjの乗算結果を、D/A変換回路31からのD/A変換結果Anによって割算して遅延信号Inを得る割算回路32とから構成されている。

【0027】また、図5は第1の遅延制御電流生成部19aの一構成例を示す図である。図5の例では、第1の遅延制御電流生成部19aは、所定のパルスを遅延させる遅延部21と、遅延したパルスの位相遅れ量を検出する位相検出部22と、位相検出部22の出力(位相遅れ検出信号)と基準信号とを比較して遅延部21の遅延量を制御する誤差AMP部(反転増幅部)23とからなっており、ある遅れ量が制御されている電流、すなわち遅延制御電流Iiを生成するようになっている。

【0028】また、図6は第1の遅延制御電流生成部19aの他の構成例を示す図である。図6の構成例は図5とほぼ同様であるが、図6の構成の場合、位相検出部22に制御信号を加えて位相遅れ検出量を制御できる構成とすることにより、誤差AMP部23の回路構成を簡略化でき、回路素子数を低減することができる。

【0029】図7は第1の遅延制御電流生成部19aの動作を説明するための図である。先ず、図7(a)、(b)、(c)、(d)に示すように、例えばパルスX0、\*X0は、遅延部21により時間ΔTだけ遅延されてX0D、\*X0Dとなる。この場合、位相検出部22は、次式で表わされる論理αを出力する。

【0030】

【数3】 $\alpha = *X0 \cdot X0D + X0 \cdot *X0D$

【0031】この場合、 $X0 \cdot *X0D$ 、 $*X0 \cdot X0D$ は、図7(e)、(f)に示すように、同期Tで現れる遅延時間ΔTのパルスであり、 $X0 \cdot *X0D + *X0 \cdot X0D$ 、すなわちαは、図7(g)に示すように、T/2周期で現れる遅延時間ΔTのパルスとなる。ここで、論理αに対応する電流出力をIcとし、そのピーク電流値をN×Irefとし、誤差AMP部23において、電流出力Icと基準信号となる基準電流Irefとを比較して、遅延部21の遅延量を決定する電流Iiを制御する。この場合、例えば、N=4とすれば、遅延時間ΔT=T/8となる場合にαの積分波形の平均値がIrefとなるので、Iiは、遅延時間ΔT=T/8となるように制御される。一般に、遅延時間ΔT=T/(2N)と表わすことができる。つまり、Nを自由に設定することにより、入力パルスX0の半分の周期T/2の範囲内の遅延で、

制御された遅延パルス(遅延電流パルスIi)を自在に得ることができる。

【0032】図8は第1の遅延制御電流生成部19aをバイポーラトランジスタで構成した場合の具体的な回路例を示す図である。図8の回路の動作を説明する。図8の回路では、Q16、Q17、Q18、およびR0で構成される電流源により、遅延量を決定する電流Iiを生成する。入力されるパルスX0、\*X0は、Q1、Q2で構成されるダイオード負荷回路およびQ19、Q20で構成されるエミッタフォロワ回路により遅延される。Q1、Q2で構成されるダイオード負荷回路の出力は、非常に小さい振幅であるので、Q3、Q4、R3、R4で構成される2値化回路を介すことでスイングを調整する。Q5、Q6、Q7、Q8、Q9、Q10で構成される二重平衡回路、すなわちECL(エミッタ・カップルド・ロジック)回路は、その電流出力Icに対応する論理をαとすると、 $\alpha = *X0 \cdot X0D + X0 \cdot *X0D$ であり、その電流出力IcはQ11、Q12で構成されるカレントミラー回路により反転されて、Q14、R1で構成される基準電流Irefと比較される。この比較部であるQ14のコレクタはハイインピーダンスであり、また、接地電位GNDに対し容量C1が接続されていることにより、Icと基準電流Irefとが比較され、その出力はQ15、R0で構成される電流となる。ここで、Q15、Q16、Q17、Q18で構成される電流源は、エミッタ抵抗がそれぞれR0であることにより、それぞれに流れる電流が同じとなるカレントミラー回路となっている。つまり、Q15、R0で構成される電流はIiとなり、所望の遅延量が得られるように出力電流Iiは制御される。ここで、Q13、R2で構成される電流源の電流をIrefのN倍とすると、前述のように、遅延時間ΔT=T/(2N)となる遅延パルスX0Dおよび\*X0Dを得ることができる。例えば、N=4の場合には、R1：R2=4：1、Q13のエリアファクタ(エミッタ面積)：Q14のエリアファクタ(エミッタ面積)=4：1となるように設定すれば、4×Irefなる電流をQ13、R2で構成される電流源に正確に流すことが可能であるので、遅延時間ΔT=T/8、つまり位相遅れ量としてはΔθ=π/4の遅延パルスを生成することができる。第1の遅延制御電流生成部19aをすべての設定したい遅延量に対し、それぞれ構成すれば、すべての遅延時間を制御することが可能となる。

【0033】ここで、遅延時間と遅延を生成する電流Iiとの関係を考える。例えば、図8に示す回路の場合、X0がハイレベルの時、Q21、Q22で構成される差動トランジスタのQ22はオフとなっており、その結果として、Q22に対しダイオード負荷となっているQ2はオフであり電流が流れていない。X0がハイレベルの状態からローレベルの状態に高速に変化したときの過渡動作を考えると、Q22に電流が流れ始めるが、Q2の

エミッタ抵抗は電流がほとんど流れていないためハイインピーダンスとなっており、Q22のコレクタにはコレクター基板間寄生容量などの寄生容量があるため、Q22に流れる電流、すなわち  $I_i$  は、寄生容量の変化電位に対する充放電電流となる。

【0034】図9は図8に示す回路の遅延部の等価的な回路構成を示す図である。図9の等価回路において、X0、\*X0として図10(a)に示すような信号が入力するとき、X0がハイレベル(\*X0がローレベル)となっているときには(図10(a)に、この状態を①で示す)、ダイオードQ1に電流Iが流れる一方、ダイオードQ2には電流は流れない(電流は0となる)。また、X0がハイレベルからローレベルになるときは(図10(a)に、この状態を②で示す)、ダイオードQ1に流れていた電流Iは0になり、一方、ダイオードQ2に流れる電流は0からIになる。なお、このとき、図9において、寄生容量CとダイオードQ2の内部抵抗Rとの時定数CRによって、ダイオードQ2に流れ始める電流Iは、信号X0、\*X0に対して、図10(b)に示すような過渡応答を示す。すなわち、時定数CRによって定まる時間  $t = CR$  だけ遅延したものとなる。ここで、遅延時間  $t$  と電流  $I (= I_i)$  との関係は次のようになる。

【0035】すなわち、一般に容量をC、変化電位を  $\Delta V$ 、電流をI、充放電時間を  $t$  とすると、電荷Qは、 $Q = C \cdot \Delta V = I \cdot t$  で表わすことができる。これから、寄生容量の充放電に要する時間、つまり遅延時間  $t$  は、 $t = (C \cdot \Delta V) / I$  であり、容量に充放電する電流Iに反比例する。

【0036】上述した例の遅延時間  $\Delta T = T / 8$ 、つまり位相遅れ量としては  $\Delta \theta = \pi / 4$  の遅延の場合の遅延時間と遅延制御電流  $I_i (i = 8)$  との関係は、次式で表わされる。

【0037】

【数4】  $\tau / 8 = K / I_8 + \Delta \tau$

【0038】ここで、 $\tau$  は周期、Kは比例定数、 $I_8$  は  $\tau / 8$  遅れを制御する遅延制御電流  $I_i (i = 8)$  であり、 $\Delta \tau$  は固定遅れ定数とする。同様に、 $I_{16}$  を  $\tau / 8 + \tau / 16$  遅れを制御する遅延制御電流  $I_i (i = 16)$  とし、 $I_{32}$  を  $\tau / 8 + \tau / 32$  遅れを制御する遅延制御電流  $I_i (i = 32)$  とし、 $I_{64}$  を  $\tau / 8 + \tau / 64$  遅れを制御する遅延制御電流  $I_i (i = 64)$  とし、 $I_{128}$  を  $\tau / 8 + \tau / 128$  遅れを制御する遅延制御電流  $I_i (i = 128)$  とし、 $I_{256}$  を  $\tau / 8 + \tau / 256$  遅れを制御する遅延制御電流  $I_i (i = 256)$  とすると、遅延時間と遅延制御電流  $I_i$  との関係は、次式のように表わすことができる。

【0039】

【数5】  $\tau / 8 + \tau / 16 = K / I_{16} + \Delta \tau$

$\tau / 8 + \tau / 32 = K / I_{32} + \Delta \tau$

$\tau / 8 + \tau / 64 = K / I_{64} + \Delta \tau$

$\tau / 8 + \tau / 128 = K / I_{128} + \Delta \tau$

$\tau / 8 + \tau / 256 = K / I_{256} + \Delta \tau$

【0040】換言すれば、第1の遅延制御電流生成部19aにおいて、遅延時間と遅延制御電流  $I_i (I_{An})$  との関係は、一般に、次式のようになる。

【0041】

【数6】  $\tau / 8 + \tau / An = K / I_{An} + \Delta \tau$

【0042】同様に、第2の遅延制御電流生成部19bも、図5あるいは、図6と同様の構成となっており、図7と同様の動作を行なうようになっている。また、第2の遅延制御電流生成部19bをバイポーラトランジスタで構成した場合の具体的な回路例も図8と同様のものにすることができ、この場合も、遅延時間と遅延制御電流  $I_j$  との関係は、数4、数5、数6によって与えられる。

【0043】このように、第1の遅延制御電流生成部19aと第2の遅延制御電流生成部19bとは、互いに同様の構成、動作のものにすることができるが、第1の遅延制御電流生成部19aは、ある遅延量が制御されている電流  $I_i$  を生成するのに対し、第2の遅延制御電流生成部19bは、第1の遅延制御電流生成部19aとは異なる遅延量が制御されている電流  $I_j (j \neq i)$  を生成するようになっている。

【0044】そして、遅延量制御電流算出部20は、第1の遅延制御電流  $I_i$  と、第2の遅延制御電流  $I_j$  との差分  $(I_i - I_j)$  と遅延データ(階調を表現するデータ)  $An$  とに基づき、遅延量すなわち遅延信号(いま遅延させたい量を決定する遅延電流)  $I_n$  を算出するようになっている。

【0045】具体的に、第1の遅延制御電流生成部19aにおいて  $\tau / 8$  遅れを生成する電流  $I_8 (i = 8)$  を生成し、また、第2の遅延制御電流生成部19bにおいて  $3\tau / 16$  遅れを生成する電流  $I_{16} (j = 16)$  を生成すると考えると、遅延量制御電流算出部20は、数4、数5、数6より  $\tau$ 、K、 $\Delta \tau$  を消去して、次式のように、遅延電流  $I_n$  を  $I_8$  および  $I_{16}$  を用いて算出することができる。

【0046】

【数7】  $I_n = 2 \cdot I_8 \cdot I_{16} / \{(32 \cdot (I_8 - I_{16}) / An + 2 \cdot I_{16})\}$

【0047】また、図11は遅延量制御電流算出部20をバイポーラトランジスタで構成した具体的な回路例を示す図である。図11を参照すると、遅延量制御電流算出部20は、デジタルデータ(例えば、D3~D0)をD/A変換するD/A変換回路31と、 $I_i$  と  $I_j$  の乗算結果をD/A変換回路31からのD/A変換結果  $An$  によって割算する割算回路32とにより構成されている。

【0048】図11の割算回路32の動作について説明する。図11に示すように、電流源をそれぞれ  $I_0$ 、 $I_1$ 、 $I_2$ 、 $I_n$ 、 $I_n'$  とし、 $ID_0$ 、 $ID_1$ 、 $ID$

2, ID3で示す差動スイッチからI1に加算される電流がないとする。Q30, Q31で構成される差動回路のベース電位は、そのまま、Q34, Q35で構成されるエミッタフォロワ回路を介して、Q32, Q33で構成される差動回路のベース電位に入力されるので、Q30, Q31で構成される差動回路に流れる電流比とQ32, Q33で構成される差動回路に流れる電流比は同じである。このことにより、 $I_n + I_n' = I_2$ ,  $I_n : I_n' = I_0 : (I_1 - I_0)$ なる関係式が導かれ、その結果、次式で表わされる割算回路が構成されていること 10 がわかる。

【0049】

【数8】  $I_n = I_0 \cdot I_2 / I_1$

【0050】数7および数8において、

$$I_0 = I_8$$

$$I_2 = 2 \cdot I_{16}$$

$$I_1 = 2 \cdot I_{16}$$

$$\Delta I = I_8 - I_{16}$$

とすると、図11に示す回路構成により数7に示す遅延電流  $I_n$  を生成することが可能となる。図11に示す回路構成の場合、ID0, ID1, ID2, ID3で示す差動スイッチおよびQ30, Q31で構成される差動回路、Q32, Q33で構成される差動回路は、すべて高速に動作することにより、入力される画像データすなわちデジタルデータの下位ビットデータ(例えば、D0, D1, D2, D3)に従い、各ドット毎に遅延量を高速に変化させることが可能である構成を実現できる。図11に示す回路例では、I8, I16のそれぞれの制御電流を生成し、ID0, ID1, ID2, ID3で示す4ビット構成の差動スイッチにより1ドットあたり8ビット 30 (256階調)表現を行なう構成例(D0~D3のデジタルデータが入力する)としたときの構成例を示しているが、もちろんさらに高階調表現が必要な系や階調数の少ない系においても、同様の構成により自在にパルス幅を生成することが可能である。

【0051】また、図12は遅延部25をバイポーラトランジスタで構成した具体的な回路例を示す図である。図12を参照すると、遅延部25には遅延信号すなわち遅延電流  $I_n$  が流れ、これにより、パルス、例えばX0, \*X0を、この遅延電流  $I_n$  に応じた遅延量でアナログ遅延させ、X0D, \*X0Dを出力するように構成されている。

【0052】以上のように、本発明は、階調を表現するデータに略反比例する遅延信号を生成し、基準となる基本信号(例えば、外部からのクロックCLK、あるいは、PLL回路1により生成された位相の異なる複数のパルスのうちの1つのパルス(例えばX0など))の正転もしくは反転信号を、上記遅延信号  $I_n$  に基づき所望の位相で遅延させるアナログ遅延部16と、アナログ遅延部16で生成されたパルスと前記基本信号とに基づいて 50

パルス幅信号を生成するパルス幅生成部18とを有しており、上記アナログ遅延部16を用いることで、高速アナログ遅延回路を実現でき、動作速度が速い場合でも画像の高階調性を実現できるパルス幅変調装置を提供することができる。

【0053】図13は本発明のパルス幅変調回路を集積化(IC化)する場合の1チップの集積回路(IC回路)の構成例を示す図である。なお、図13では、1ドットあたり8ビット階調(256階調)出力が可能となるパルス幅生成ブロック構成図が示されている。また、図13において、クロックを生成するVCO、分周回路、位相比較器または位相周波数比較器などで構成されるPLL回路部は、便宜上省略されている。そして、図13において、遅延量制御部17,  $\pi/4$ 遅延・ $3\pi/8$ 遅延セレクト52, L位相シフト部53, R位相シフト部54は、図4のアナログ遅延部16の構成に相当し、また、PWM生成部56, 遅延量調整部57は、図1のパルス幅生成部18に相当している。なお、図4のアナログ遅延部16の構成例において、遅延量制御電流算出部20および遅延部25に相当する構成は、図13のL位相シフト部53, R位相シフト部54に内蔵されている。

【0054】図13において、先ず、セレクト15の論理を示す。いま、セレクト15の出力をLPWM1, RPWM1とすると、LPWM1, RPWM1は、次式のようになる。

【0055】

$$\begin{aligned} \text{【数9】 } LPWM1 &= LD6 \cdot LD5 \cdot *X1 + LD6 \cdot *LD5 \cdot *X0 + *LD6 \cdot LD5 \cdot X3 + *LD6 \cdot *LD5 \cdot *X2 \\ RPWM1 &= RD6 \cdot RD5 \cdot *X1 + RD6 \cdot *RD5 \cdot *X0 + *RD6 \cdot RD5 \cdot X3 + *RD6 \cdot *RD5 \cdot *X2 \end{aligned}$$

$$RPWM1 = RD6 \cdot RD5 \cdot *X1 + RD6 \cdot *RD5 \cdot *X0 + *RD6 \cdot RD5 \cdot X3 + *RD6 \cdot *RD5 \cdot *X2$$

【0056】ここで、LD5やRD5などで示されるデータ(L(左)データ, R(右)データ)は、図14に示されるように、それぞれ図に示すL(左)ラッチパルス、R(右)ラッチパルスによりラッチされた画像データ(L(左)ラッチデータ, R(右)ラッチデータ)により、次式の論理により生成されるデータであるとする。

【0057】

$$\text{【数10】 } LD6 = M \cdot (P \cdot D6 + *P \cdot *D6) + *M \cdot (D7 \cdot D6 + *D7 \cdot *D6)$$

$$LD5 = M \cdot (P \cdot D5 + *P \cdot *D5) + *M \cdot (D7 \cdot D5 + *D7 \cdot *D5)$$

$$LD4 = M \cdot (P \cdot D4 + *P \cdot *D4) + *M \cdot (D7 \cdot D4 + *D7 \cdot *D4)$$

$$LD3 = M \cdot (P \cdot D3 + *P \cdot *D3) + *M \cdot (*D7 \cdot *D6 + D5) \cdot *D4$$

$$LD2 = M \cdot (P \cdot D2 + *P \cdot *D2) + *M \cdot (*D7 \cdot *D6 + D5) \cdot *D4$$

$$LD1 = M \cdot (P \cdot D1 + *P \cdot *D1) + *M \cdot (*D7 \cdot *$$

$(D6+D5) \cdot D4$   
 $LD0 = M \cdot (P \cdot D0 + *P \cdot D0) + *M \cdot (*D7 \cdot (D6+D5) \cdot D4)$   
 $RD6 = M \cdot (P \cdot D6 + *P \cdot D6) + *M \cdot (D3 \cdot D2 + *D3 \cdot D2)$   
 $RD5 = M \cdot (P \cdot D5 + *P \cdot D5) + *M \cdot (D3 \cdot D1 + *D3 \cdot D1)$   
 $RD4 = M \cdot (P \cdot D4 + *P \cdot D4) + *M \cdot (D3 \cdot D0 + *D3 \cdot D0)$   
 $RD3 = M \cdot (P \cdot D3 + *P \cdot D3) + *M \cdot (*D3 \cdot (D2+D1) \cdot D0)$   
 $RD2 = M \cdot (P \cdot D2 + *P \cdot D2) + *M \cdot (*D3 \cdot (D2+D1) \cdot D0)$   
 $RD1 = M \cdot (P \cdot D1 + *P \cdot D1) + *M \cdot (*D3 \cdot (D2+D1) \cdot D0)$   
 $RD0 = M \cdot (P \cdot D0 + *P \cdot D0) + *M \cdot (*D3 \cdot (D2+D1) \cdot D0)$   
 $LDN = M \cdot P \cdot D7 + *M \cdot D7 \cdot D6 \cdot D5 \cdot D4$   
 $RDN = M \cdot *P \cdot D7 + *M \cdot D3 \cdot D2 \cdot D1 \cdot D0$   
 $RPOS = M \cdot P + *M \cdot D3$   
 $LPOS = M \cdot P + *M \cdot D7$

【0058】ここで、Mはモード切り換え信号、Pはポジション信号であり、それぞれ、Mがハイレベルの時は\*

L PWM

$= LD3 \cdot LD2 \cdot LD1 \cdot LD0 \cdot (L_{ms} \text{を} \pi/4 + 15 \cdot \pi/128 \text{遅延})$   
 $+ LD3 \cdot LD2 \cdot LD1 \cdot *LD0 \cdot (L_{ms} \text{を} \pi/4 + 14 \cdot \pi/128 \text{遅延})$   
 $+ LD3 \cdot LD2 \cdot *LD1 \cdot LD0 \cdot (L_{ms} \text{を} \pi/4 + 13 \cdot \pi/128 \text{遅延})$   
 $+$   
 $+$   
 $+ *LD3 \cdot *LD2 \cdot LD1 \cdot *LD0 \cdot (L_{ms} \text{を} \pi/4 + 2 \cdot \pi/128 \text{遅延})$   
 $+ *LD3 \cdot *LD2 \cdot *LD1 \cdot LD0 \cdot (L_{ms} \text{を} \pi/4 + 1 \cdot \pi/128 \text{遅延})$   
 $+ *LD3 \cdot *LD2 \cdot *LD1 \cdot *LD0 \cdot (L_{ms} \text{を} \pi/4 + 0 \cdot \pi/128 \text{遅延})$

【0063】なお、上記式中、点々で表わしている部分には上下の論理と同様に論理式が継続しているものとする。同様に、R位相シフト部54では、次式のようにし※

R PWM

$= RD3 \cdot RD2 \cdot RD1 \cdot RD0 \cdot (R_{ms} \text{を} \pi/4 + 15 \cdot \pi/128 \text{遅延})$   
 $+ RD3 \cdot RD2 \cdot RD1 \cdot *RD0 \cdot (R_{ms} \text{を} \pi/4 + 14 \cdot \pi/128 \text{遅延})$   
 $+ RD3 \cdot RD2 \cdot *RD1 \cdot RD0 \cdot (R_{ms} \text{を} \pi/4 + 13 \cdot \pi/128 \text{遅延})$   
 $+$   
 $+$   
 $+ *RD3 \cdot *RD2 \cdot RD1 \cdot *RD0 \cdot (R_{ms} \text{を} \pi/4 + 2 \cdot \pi/128 \text{遅延})$   
 $+ *RD3 \cdot *RD2 \cdot *RD1 \cdot RD0 \cdot (R_{ms} \text{を} \pi/4 + 1 \cdot \pi/128 \text{遅延})$   
 $+ *RD3 \cdot *RD2 \cdot *RD1 \cdot *RD0 \cdot (R_{ms} \text{を} \pi/4 + 0 \cdot \pi/128 \text{遅延})$

遅延)

【0065】上記論理により、例えば $L_{ms}$ からは、画像データにより $\pi/4 \sim 3\pi/8$ 位相が遅れたパルス

\*通常モード、Mがローレベルの時は倍速モードであり、Pがハイレベルの場合にはドットを左から形成する左モード、Pがローレベルの場合にはドットを右から形成する右モードとなる。また、LD6・LD5の時にX1のパルスを選択する理由は、後段における遅延量を考慮して選択がなされているからである。そのタイミング図を図14に示す。

【0059】 $\pi/4$ 遅延・ $3\pi/8$ 遅延セクタ52では、セクタ15からLPWM1、RPWM1が入力すると、データLD4、RD4との間で、次式の割算を行ない、 $L_{ms}$ 、 $R_{ms}$ を出力する。

【0060】

【数11】 $L_{ms} = LD4 \cdot (LPWM1 \text{を} 3\pi/8 \text{遅延}) + *LD4 \cdot (LPWM1 \text{を} \pi/4 \text{遅延})$

$R_{ms} = RD4 \cdot (RPWM1 \text{を} 3\pi/8 \text{遅延}) + *RD4 \cdot (RPWM1 \text{を} \pi/4 \text{遅延})$

【0061】また、L位相シフト部53では、図10のID0、ID1、ID2、ID3で示す4ビット構成の差動スイッチにそれぞれLD0、LD1、LD2、LD3を入力することにより、次式のようにしてLPWMを算出する。

【0062】

【数12】

※てRPWMを算出する。

【0064】

【数13】

L PWMを生成することができる。なお、ここで、L位相シフト部53、R位相シフト部54には、図12に示

す構成の遅延部25がそれぞれ内蔵されており、上記L<sub>ms</sub>、L<sub>PWM</sub>は図12において例えばX0、X0Dにそれぞれ対応している。また、位相シフト部がL位相シフト部53とR位相シフト部54との2つから構成されている理由は、図11に示す遅延量制御電流算出部20においてD/A変換回路も割算回路も十分高速に動作して遅延電流生成を行なうが、遅延電流生成が十分に安定した後に遅延を行なう方が、より安定した正確な遅延パルスが得られるからである。

【0066】また、図13において、遅延量制御部17 10は、図5もしくは図6に示す回路が2チャンネルで構成され(図4に示すように、第1の遅延制御電流生成部19aと第2の遅延制御電流生成部19bとの2つのチャンネルで構成され)、1チャンネルにおいて、例えば、 $\tau/8$ 遅れ( $\pi/4$ 位相遅れ)を生成する電流I8が制御され、もう1チャンネルにおいて、例えば、 $3\tau/16$ 遅れ( $3\pi/8$ 位相遅れ)を生成する電流I16が制御されている。

【0067】また、図13において、遅延量調整部57 20には、PWMを生成する基本クロックとなるX2が入力し、PWM生成部56には、遅延量調整部57から遅延量の微調整を受けたDCLKが入力する。また、PWM生成部56には、パルス幅をドットの左端および右端のどちらから画像データに従いドットを形成するかを決定する位置制御信号であるPOS信号を数10で示すLPOS、RPOSとすると、LPOS、RPOSのそれぞれが入力される。この場合、PWM生成部56における論理は、その出力をPWMOUTとすると、次式のようになる。

【0068】

【数14】 $PWMOUT = DCLK \cdot (*LPWM \cdot LPOS + LPWM \cdot *LPOS + LON) + *DCLK \cdot (*RPWM \cdot RPOS + RPWM \cdot *RPOS + RON)$

【0069】このような構成とすることにより、1ドットあたりパルス幅変調による256値階調出力が得られ、またドットの書き込み位置制御機能によりドットの左寄せおよび右寄せが自在である高速な画像形成装置が実現できる。

【0070】また、図13において、レベル調整部58 40では、PWM生成部56の出力PWMOUTのレベル調整を行なう。レベル調整を行なう際、スイッチを設けて、強制LD点灯信号LDONや強制LD消灯信号であるLDOFFなどを介することにより、強制LD点灯機能、強制LD消灯機能などを付加することができる。

【0071】また、倍速モード時、上記式(数10)の論理に従い、通常のドットの左半分の画像データとしてD7、D6、D5、D4、通常のドットの右半分の画像データとしてD3、D2、D1、D0を与えるとすれば、通常のドットの左半分および右半分はそれぞれ独立のドットとなり、それぞれ4ビット階調分のPWM変調が実 50

現できる。このような倍速モードを用いれば、画素クロックおよび画像データの転送レートを変更することなく、階調数は減少するが、見かけ上、倍の動作速度で動作するパルス幅変調回路が実現できる。

【0072】このことは、例えばレーザプリンタやデジタル複写機のようにレーザ光をポリゴンなどを用いてラスタスキャンする系においては、ポリゴンの回転数を倍にすれば、画素クロックもしくは画像データ転送レートの倍の速度で動作する高速な画像形成装置が実現でき、また、ポリゴンの回転数が同じであれば、主走査方向の密度が倍になる高密度な画像形成装置が実現できる。

【0073】具体的には、例えば画素クロックが50MHzで(時間では20ns)、通常モードの1ドット当たり8ビット(256値)変調を行なえるとすれば、倍速モード時には、画素クロックおよび画像データ転送は50MHzであるが、1ドット当たり(時間では10ns秒であり通常モード時のドットの半分)4ビット(16値)変調がモード切り換え部の切り換えにより容易に可能であるパルス幅変調回路およびそのパルス幅を画像変調信号とする画像形成装置を実現できる。つまり、画素クロックおよび画像データの転送レートを変化させることなく、画像クロックの倍のスピードで書き込みを行なうことができる画像形成装置が実現できる。

【0074】図15は、本発明におけるパルス幅変調回路(デジタル遅延+アナログ遅延方式によるPWM変調部)に、さらに発光素子駆動部60、誤差増幅部61を付加し、1チップの集積回路に集積化(IC化)した場合の構成例を示す図である。すなわち、図15において、発光素子駆動部60は、パルス幅生成部18の出力PWMOUTによって発光素子(例えば半導体レーザ)LDを高速に駆動し、受光素子PDの出力を抵抗RPDで受け、その値を誤差増幅部61において基準信号と比較することにより発光素子駆動部60の設定電流とするように構成されている。図15に示す構成を集積化(IC化)することにより、1チップでPWM変調から発光素子駆動までを高速に実現できる。すなわち、小型・ローコスト・高速・高機能な画像形成装置を実現できる。なお、図15の例では、発光素子LDを半導体レーザとしているが、発光素子LDがLED(発光ダイオード)であっても良く、この場合にも同様の効果が得られる。

【0075】図16は発光素子として例えば半導体レーザを光源とするレーザプリンタもしくはデジタル複写機等における一般的な光走査装置の構成例を示す図である。図16において、発光素子(半導体レーザ)71は、発光素子変調・駆動信号により変調・駆動され、光変調された光ビームを出射する。出射された光ビームは、コリメータレンズ72およびシリンダーレンズ73を介して、回転駆動されるポリゴンミラー74に入射して偏向される。ポリゴンミラー74により偏向された光ビーム



は  $f_0$  レンズ 75、トロイダルレンズ 76、反射ミラー 77 を介して感光体 78 上に照射される。そして、ポリゴンミラー 74 の回転に伴う主走査方向および感光体 78 の回転に伴う副走査方向に所定のタイミングで順次走査する。これにより、予め表面を様に帯電された感光体 78 上に、変調された光ビームに応じた静電潜像が形成される。画像形成に関しては、図 16 では図示しない現像器により現像され、副走査方向に給送される記録媒体に画像が転写され、定着処理されることにより行なわれる。なお、図 16 において、PWM 生成部および

発光素子駆動部には、本発明の前述した構成(例えば図 15 の構成)が用いられる。

【0076】図 17 は図 16 と同様の光走査装置の構成例を示す図であるが、図 17 の構成例においては、水平同期信号を(水平同期センサ(図示せず)により検出した水平同期信号) PWM 生成部および発光素子駆動部に入力している。

【0077】図 18 は水平同期信号を PWM 生成部および発光素子駆動部に入力させる場合(光走査装置を図 17 の構成にした場合)のパルス幅変調回路の構成例を示す図である。図 18 のパルス幅変調回路には、図 15 の回路構成においてさらにクロック生成部 63 が設けられている。図 18 に示す構成を 1 チップの集積回路に集積化(IC 化)することにより、(すなわち、パルス幅生成部 18 および発光素子駆動部 60 と、さらにクロック生成部 63 を 1 チップの集積回路で構成することにより)より小型・ローコストの画像形成装置を実現できる。

【0078】なお、クロック生成部 63 において生成された基準となるクロック信号(基準クロック)は、図 17 に示すように画像処理部に入力され、画像処理部において画像データと同期を取り、図 18 に示すクロック CLK として入力される。

【0079】図 19 には、クロック生成部 63 の一構成例が示されている。図 19 の例では、クロック生成部 63 は、基準周波数  $f_r$  と VCO 82 の出力周波数との位相差あるいは周波数差を検出する位相比較器 80 と、位相比較器 80 から出力される位相差を積分して直流を得るためのローパスフィルタ 81 と、ローパスフィルタ 81 で得られる直流電圧により発振周波数を可変できる VCO (電圧制御発信器) 82 と、プログラムデバイダ 83 とを有している。

【0080】ここで、ローパスフィルタ 81 には、ラグフィルタ、ラグリードフィルタ、アクティブフィルタなどを使用することができる。

【0081】また、プログラマブルデバイダ 83 は任意進デバイダとも呼ばれ、内蔵のプログラムを変えることにより、それに従って分周比を変化させることができるデバイダである。プログラマブルデバイダ 83 の分周比を  $1/N$  とすると、PLL ループが完全にロックした場合には、次式が成り立つ。

【0082】

【数 15】  $f_r = f_0 / N$

【0083】ここで、 $N$  は任意進 ( $N=1, 2, 3, \dots$ ) なので、 $f_0$  は基準周波数  $f_r$  の周波数ステップで変化させることが可能である。すなわち、図 19 の構成例は、VCO 82 と位相比較器 80 との間にプログラマブルデバイダ 83 が設けられている周波数シンセサイザとして機能するようになっており、基準周波数  $f_r$  より周波数シンセサイザを用いて基準となる周波数通信クロック  $f_0$  を生成することができる。

【0084】また、位相比較器 80 の構成例は図 8 における位相検出部に示されているので、ここでは省略する。図 20 には、VCO 82 の構成例が示されている。すなわち、図 20 には、エミッタ結合型非安定マルチバイブレータによる VCO 82 の基本構成例が示されている。この回路の発振周波数は、コンデンサ C1 の電圧制御電流  $I_1, I_2$  による充放電で近似的に決定される。このマルチバイブレータは高速化のため、Q3, Q4 で構成されるダイオード負荷となっている。このタイプの VCO の特徴として、電圧一周波数特性がリニアであり、周波数の調整が容易である。また、図 20 では、バイポーラトランジスタを用いた例が示されているが、VCO をバイポーラトランジスタを用いて構成した場合のクロックの振幅は、図 20 のように構成すると、増幅をしても集積回路内では精々 250 mV 程度であり、CMOS 回路で構成した場合の振幅(電源-グランド間電圧で例えば 5 V や 3.3 V 程度)と比較して約  $1/10$  以下であり、エネルギー量で考えると  $1/100$  以下となるので、EMI などに関しても、図 20 の構成例などを用いて 1 チップの集積回路をバイポーラトランジスタで構成した場合に有利となることは明白である。

【0085】さらに、図 19 の構成例のクロック生成部 63 では、光走査装置(走査光検出手段)から得られた水平同期信号と VCO 82 からの周波数通信クロック  $f_0$  とにより基準となるクロック信号(基準クロック) CK を生成する同期パルス生成部 84 が設けられている。すなわち、同期パルス生成部 84 は、周波数通信クロック  $f_0$  を分周することにより得られる  $f_r$  と同じ周波数の位相の異なるパルスを水平同期信号により選択することにより、水平同期信号と同期が取れ、所望の周波数である基準となるクロック信号 CK を生成することができる。

【0086】また、図 21 には、クロック生成部 63 の他の構成例が示されている。図 21 の構成例では、図 19 の構成例に対し、複数の同期パルス生成部 84-1, 84-2, ... が設けられ、各同期パルス生成部 84-1, 84-2, ... には、VCO 82 からの周波数通信クロック  $f_0$  が入力し、また、各同期パルス生成部 84-1, 84-2, ... には、水平同期信号 1, 水平同期信号 2, ... がそれぞれ入力し、各同期パルス生成部 8



4-1, 84-2, ...からは、基準となるクロック信号(基準クロック)CK1, CK2が出力されるようになっている。

【0087】また、図22はクロック生成部63が図21のような構成となっている場合における集積回路の全体構成例を示す図であり、図22には簡単のため、2個の同期パルス生成部84-1, 84-2がある場合について示されている。図22に示すように、半導体レーザが2個以上ある場合、それぞれの半導体レーザより水平同期信号1, 2が得られ、水平同期信号1, 2に同期の取れた書き込みクロック(基準となるクロック信号)CK1, CK2がそれぞれ生成されるが、その両者に関して周波数は同一である。つまり、このように多数の半導体レーザを同時に変調する場合でも、周波数通倍クロックを生成するクロック生成部63は1つあれば良く、多数の半導体レーザを駆動する集積回路を構成する場合、図21, 図22の構成とすることにより、高周波発振回路が1個で済み、更にバイポーラトランジスタで構成されているので、EMIに強く小型・省電力・ローコストとなる画像形成装置が実現できる。

【0088】なお、図22の例では、半導体レーザはアノードコモンタイプとなっているが、半導体レーザはカソードコモンタイプのものでも良く、カソードコモンタイプのものにしてもアノードコモンタイプと同様の効果が得られる画像形成装置を実現することができる。

【0089】このように、本発明の画像形成装置は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとクロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴としている。

【0090】また、本発明の画像形成装置は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値

画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、デジタル多値画像データに略反比例する遅延信号を生成し、基準となるクロック信号の正転もしくは反転信号を遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとクロック信号とに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し半導体レーザの光出力を制御する誤差増幅部と、誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴としている。

【0091】また、本発明の画像形成装置は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準となるクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、クロック信号と同期の取れたデジタル多値画像データの上位ビット信号に基づき、位相の異なる複数のパルスのうちの1つのパルスを選択するパルス選択手段と、デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、パルス選択手段で選択されたパルスを遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとデジタル遅延手段により生成された複数のパルスのうちの1つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段とが、1チップの集積回路に実装されていることを特徴としている。

【0092】このように、本発明の画像形成装置は、階調を表現するデジタル多値画像データに基づいてパルス幅変調された画像変調信号により半導体レーザの光出力を駆動し、光出力を回転感光体に走査する走査手段と、回転感光体に対し所定の位置において走査手段からの走査光を検出する走査光検出手段とを有し、走査光検出手段からの検出信号に基づいた所定のタイミングでデジタル多値画像データに応じた静電潜像を形成し、記録媒体に静電潜像に応じた画像を形成する画像形成装置において、走査光検出手段からの検出信号に同期した基準とな

るクロック信号を生成するクロック生成部と、基準となるクロック信号と同期し周波数が通倍された通倍クロック信号を生成し、生成した通倍クロック信号から所定の位相遅延した複数のパルスを生成するデジタル遅延手段と、デジタル多値画像データの上位ビット信号に基づき、位相の異なる複数のパルスのうちの1つのパルスを選択するパルス選択手段と、デジタル多値画像データの下位ビット信号に基づき遅延信号を生成し、パルス選択手段で選択されたパルスを遅延信号に基づき所望の位相で遅延させるアナログ遅延手段と、アナログ遅延手段で生成されたパルスとデジタル遅延手段により生成された複数のパルスのうちの1つのパルスとに基づいてパルス幅変調された画像変調信号を生成する画像変調信号生成手段と、半導体レーザの光出力を受光素子により検出した受光信号と基準信号とを比較し半導体レーザの光出力を制御する誤差増幅部と、誤差増幅部より得られた半導体レーザ駆動電流により所望の光出力で半導体レーザを駆動する半導体レーザ駆動部とが、1チップの集積回路に実装されていることを特徴としている。

【0093】また、本発明の画像形成装置は、上記クロック生成部が、位相同期ループ回路と、N個（Nは自然数）の同期パルス生成部とを有していることを特徴としている。

【0094】また、本発明の画像形成装置は、上記集積回路が、バイポーラトランジスタを用いて構成されていることを特徴としている。

【0095】このように、本発明では、パルス幅変調にて画像の階調表現を行う画像形成装置において、高速アナログ遅延回路もしくは高速アナログ遅延回路とデジタル遅延回路を組み合わせる事で動作速度が速い場合でも画像の高階調性を実現できるパルス幅変調回路と、水平同期センサにより検出した水平同期信号から水平同期信号と同期したクロックを生成するクロック生成部とを、バイポーラトランジスタを用いた1チップの集積回路とすることにより、高速高階調性を実現できるパルス幅変調方式もしくはその方式を用いた画像形成装置をEMIに強く小型・ローコストで実現できる。

【0096】

【発明の効果】以上に説明したように、請求項1乃至請求項6記載の発明によれば、動作速度が速い場合でも画像の高階調性を実現できる画像形成装置を小型・ローコストで実現できる。

【図面の簡単な説明】

【図1】本発明に係るパルス幅変調装置の構成例を示す図である。

【図2】図1のパルス幅変調装置の動作の概略を説明するためのタイムチャートである。

【図3】図1のパルス幅変調装置の動作の概略を説明するためのタイムチャートである。

【図4】アナログ遅延部の一部を示す図である。

【図5】第1の遅延制御電流生成部の構成例を示す図である。

【図6】第1の遅延制御電流生成部の他の構成例を示す図である。

【図7】第1の遅延制御電流生成部の動作を説明するための図である。

【図8】第1の遅延制御電流生成部をバイポーラトランジスタで構成した場合の具体的な回路例を示す図である。

【図9】図8に示す回路の遅延部の等価的な回路構成を示す図である。

【図10】図9の遅延部の動作を説明するための図である。

【図11】遅延量制御電流算出部をバイポーラトランジスタで構成した場合の具体的な回路例を示す図である。

【図12】遅延部をバイポーラトランジスタで構成した場合の具体的な回路例を示す図である。

【図13】本発明のパルス幅変調回路を集積化（IC化）する場合の集積回路（IC回路）の構成例を示す図である。

【図14】図13の回路の動作を説明するための図である。

【図15】本発明におけるパルス幅変調回路に、さらに、発光素子駆動部、誤差増幅部を付加し、集積化（IC化）した場合の構成例を示す図である。

【図16】発光素子として例えば半導体レーザを光源とするレーザプリンタもしくはデジタル複写機等における一般的な光走査装置の構成例を示す図である。

【図17】図16と同様の光走査装置の構成例を示す図である。

【図18】水平同期信号をPWM生成部および発光素子駆動部に入力させる場合のパルス幅変調回路の構成例を示す図である。

【図19】クロック生成部の一構成例を示す図である。

【図20】VCOの構成例を示す図である。

【図21】クロック生成部の他の構成例を示す図である。

【図22】集積回路の全体構成例を示す図である。

【図23】アナログ的なパルス幅変調方式を説明するための図である。

【図24】デジタル式のパルス幅変調方式を説明するための図である。

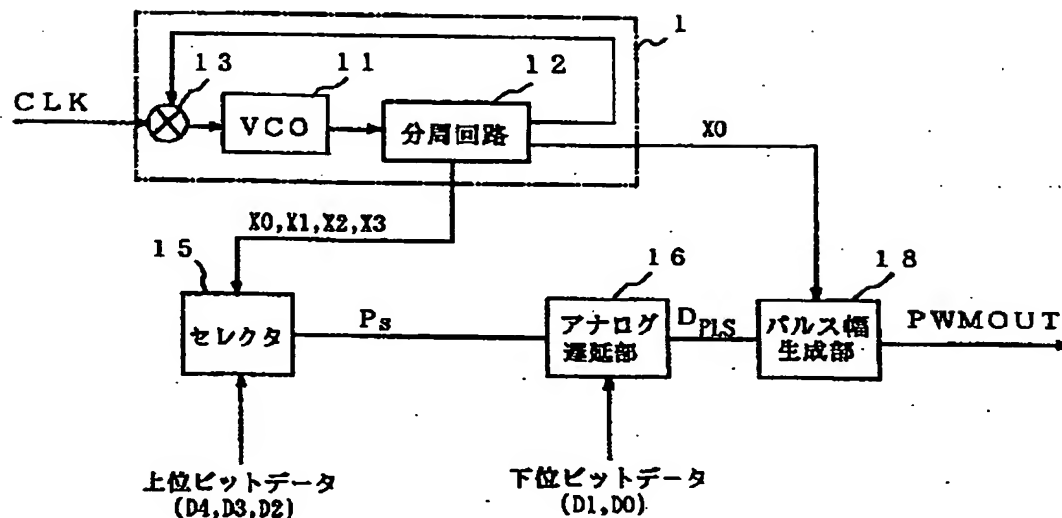
【図25】パルス幅変調にて画像の階調表現を行なう仕方の一例を示す図である。

【符号の説明】

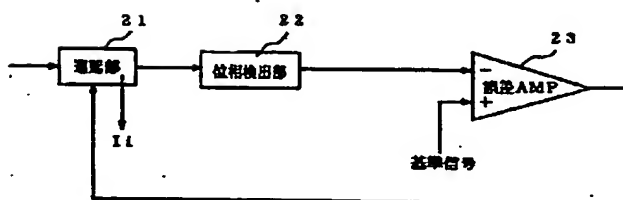
1	PLL回路
11	VCO
12	分周回路
13	位相比較器または位相周波数比較器
15	セレクタ

25		26	
16	アナログ遅延部	* 58	レベル調整部
17	遅延量制御部	60	発光素子駆動部
18	パルス幅生成部	61	誤差増幅部
19 a	第1の遅延制御電流生成部	71	発光素子
19 b	第2の遅延制御電流生成部	72	コリメータレンズ
20	遅延量制御電流算出部	73	シリンダーレンズ
21	遅延部	74	ポリゴンミラー
22	位相検出部	75	f $\theta$ レンズ
23	誤差AMP部	76	トロイダルレンズ
25	遅延部	10 77	反射ミラー
31	D/A変換回路	78	感光体
32	割算回路	63	クロック生成部
52	$\pi/4$ 遅延・ $3\pi/8$ 遅延セクタ	80	位相比較器
53	L位相シフト部	81	ローパスフィルタ
54	R位相シフト部	82	VCO
56	PWM生成部	83	プログラムデバイダ
57	遅延量調整部	* 84	同期パルス生成部

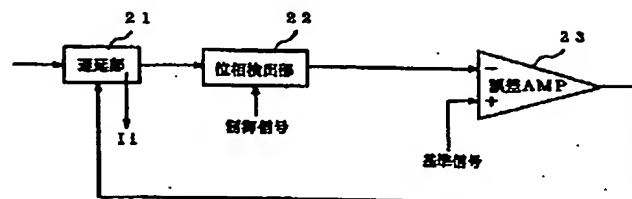
【図1】



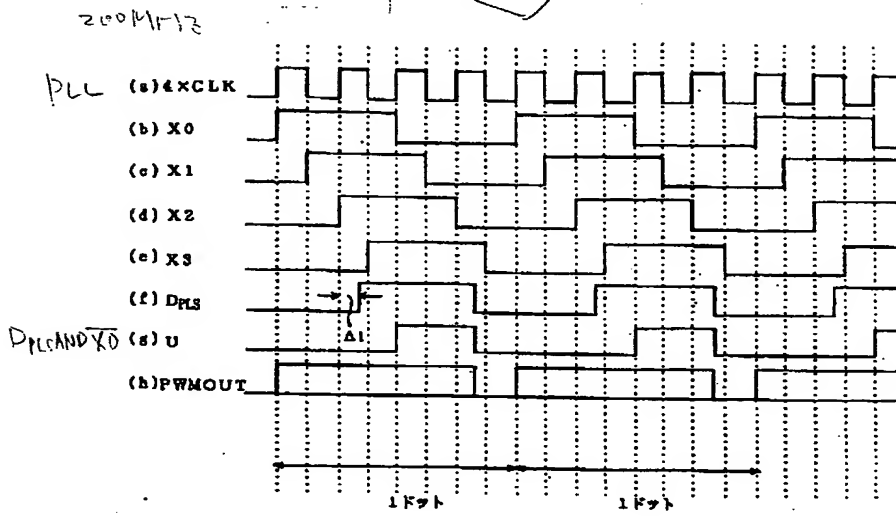
【図5】



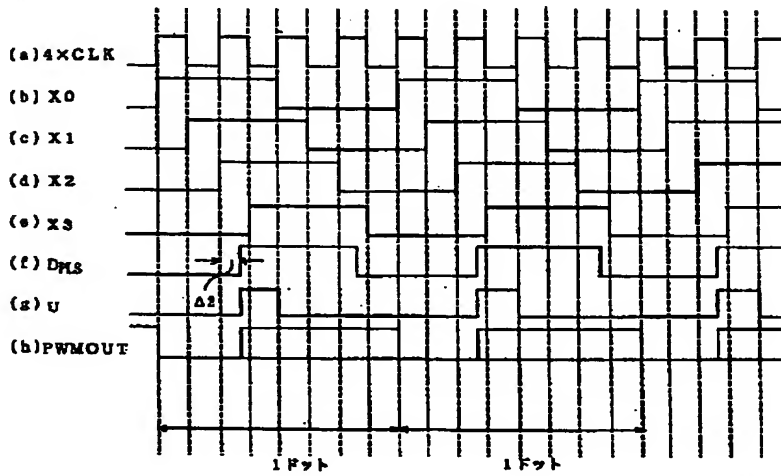
【図6】



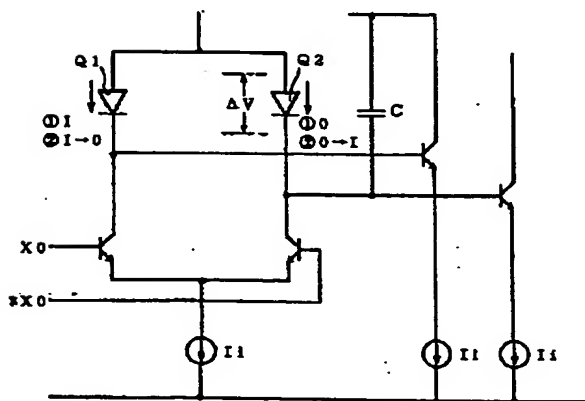
【図2】



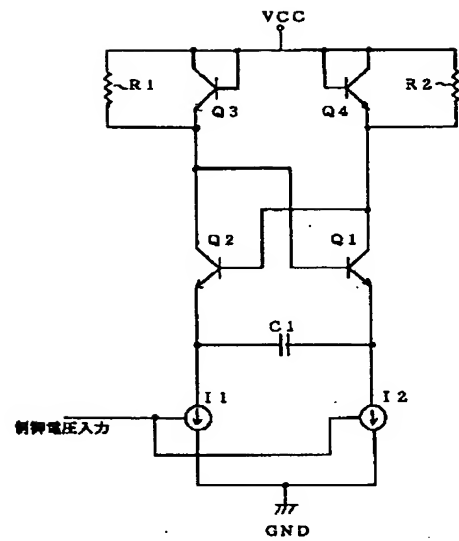
【図3】



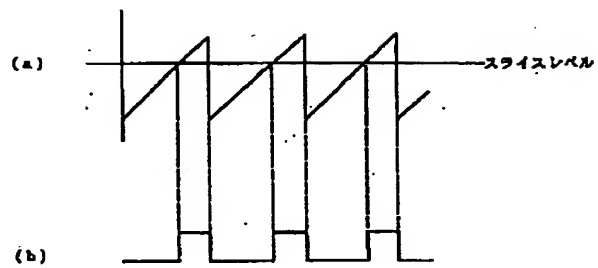
【図9】



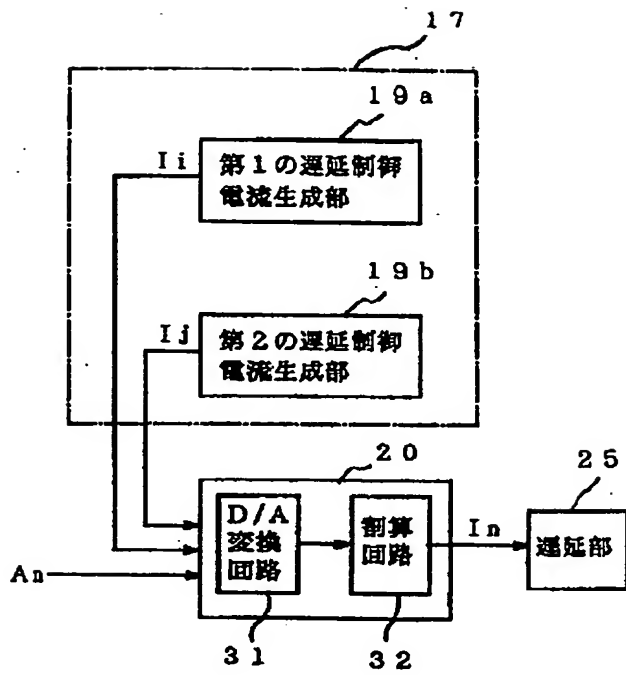
【図20】



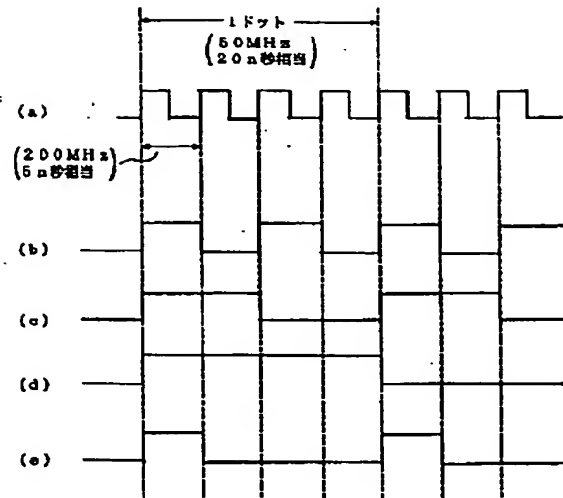
【図23】



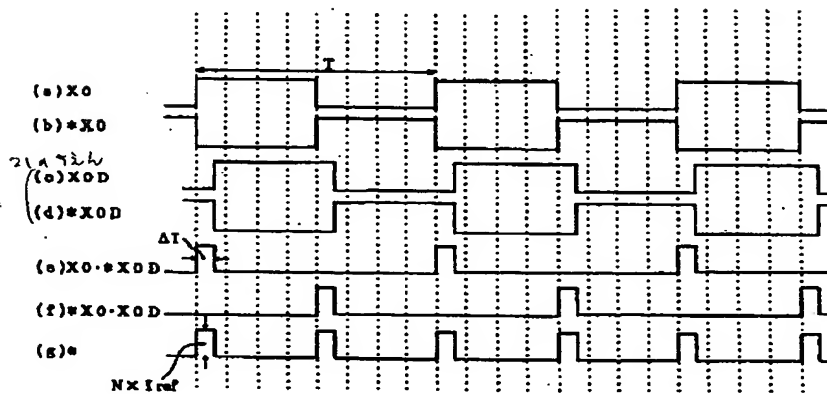
【図4】



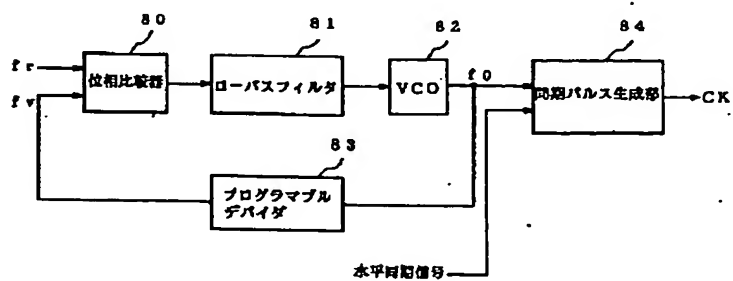
【図24】



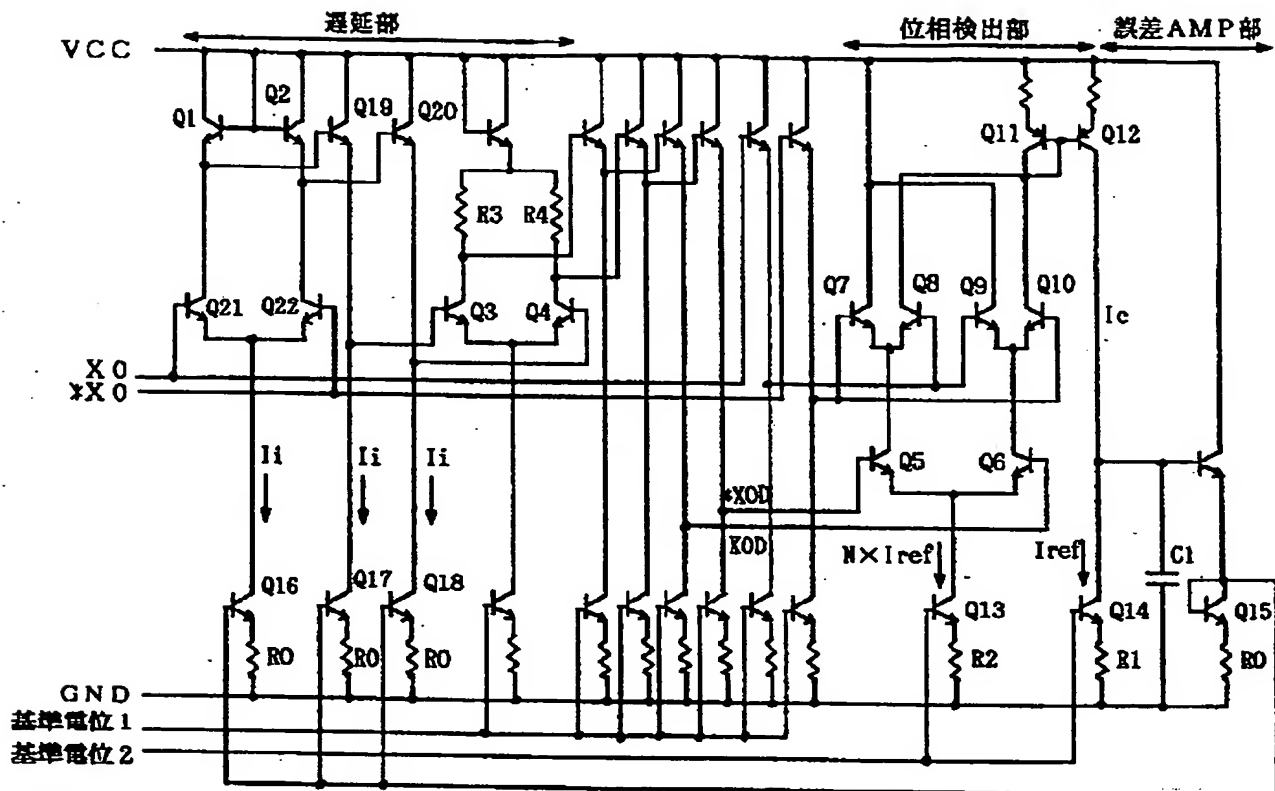
【図7】



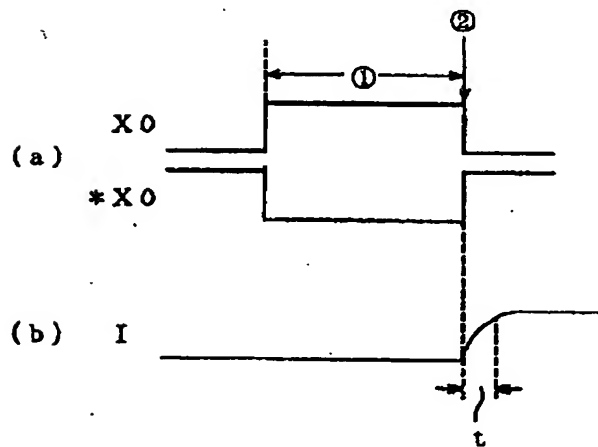
【図19】



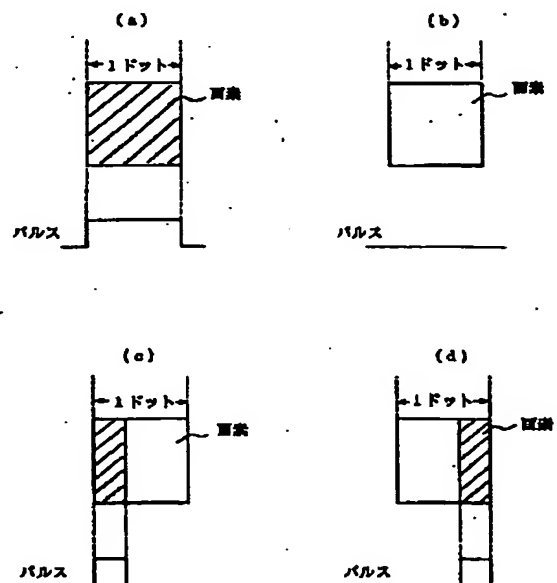
【図8】



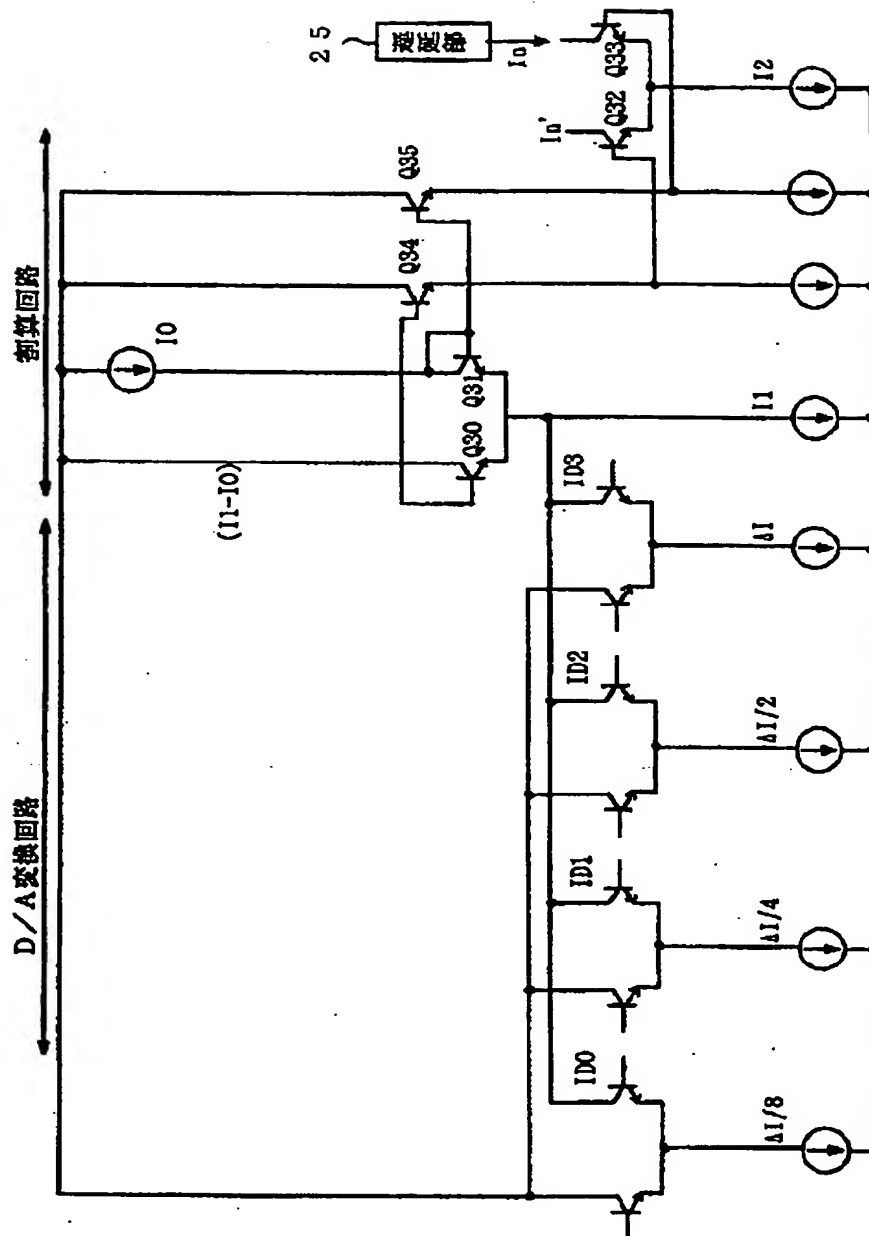
【図10】



【図25】

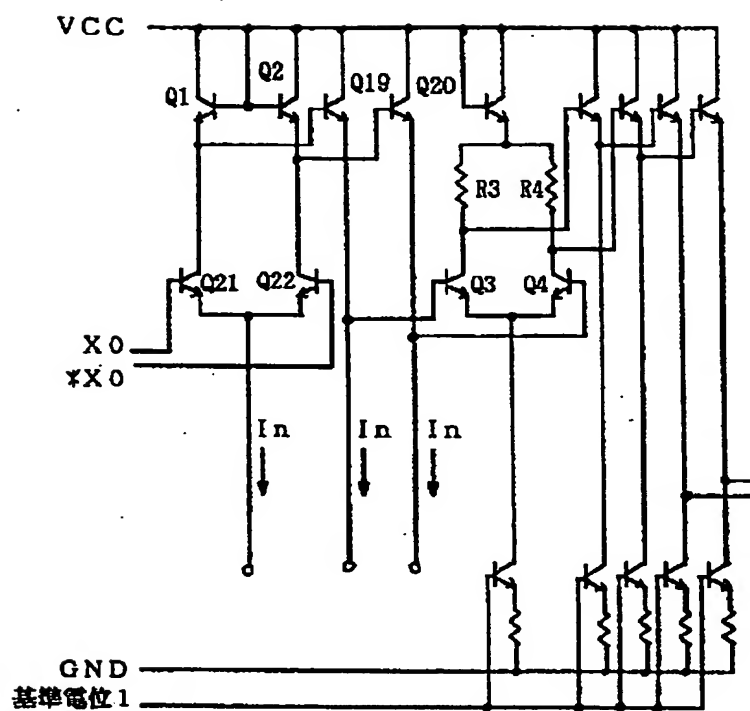


【図11】

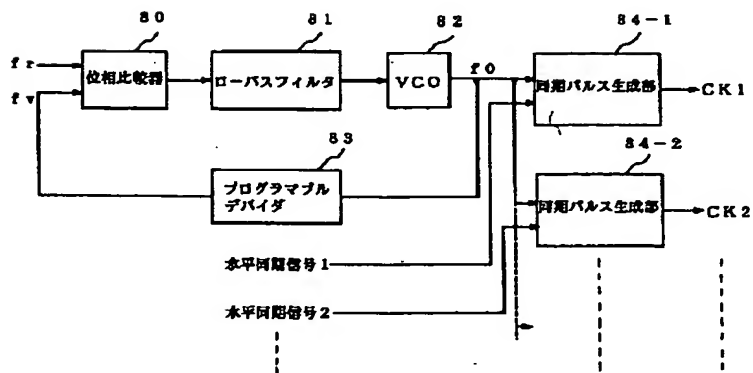




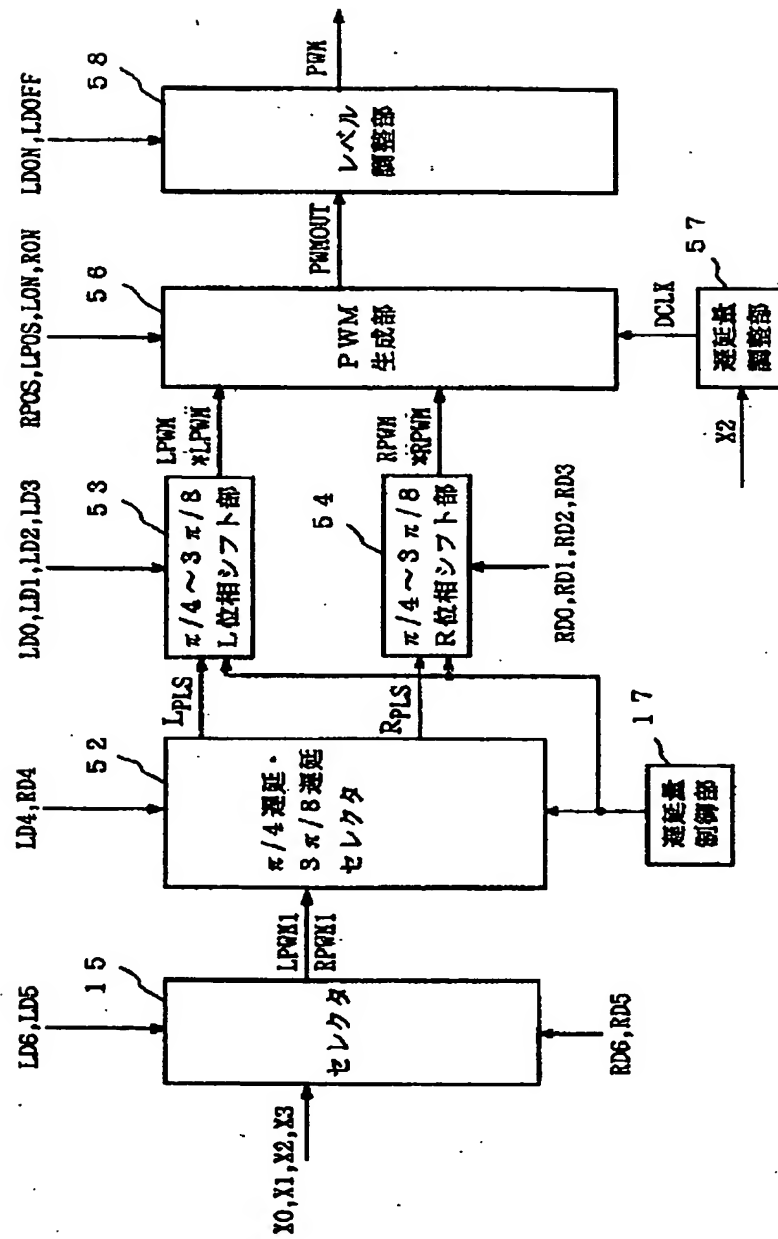
【図 12】



【図 21】

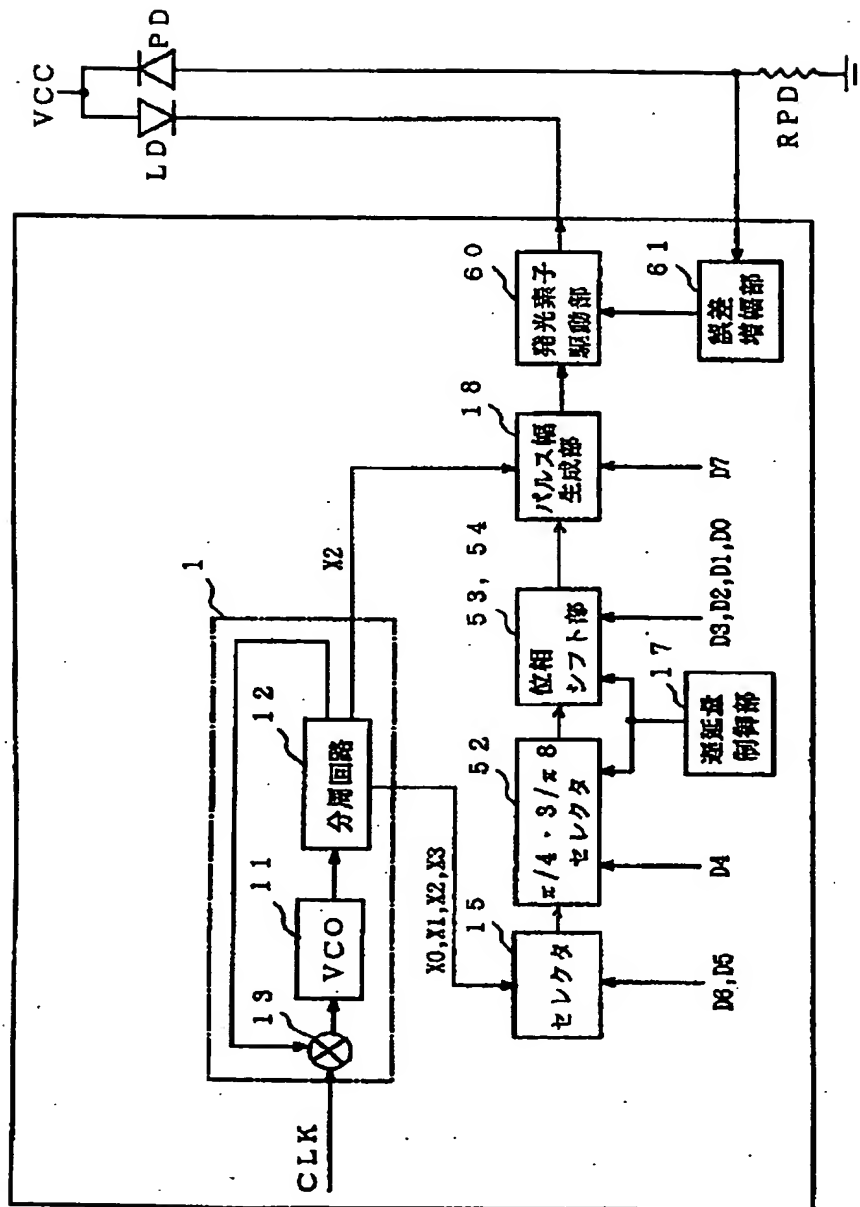


【図13】

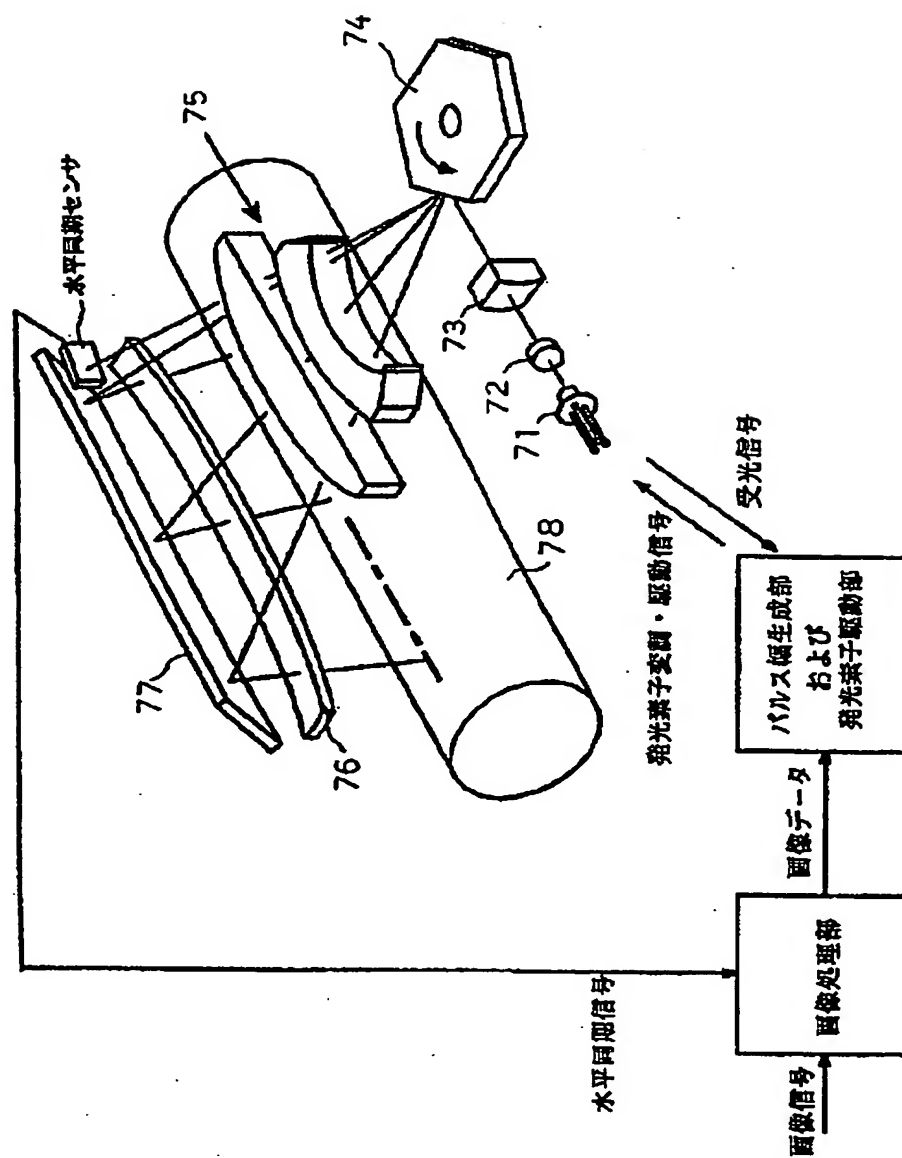




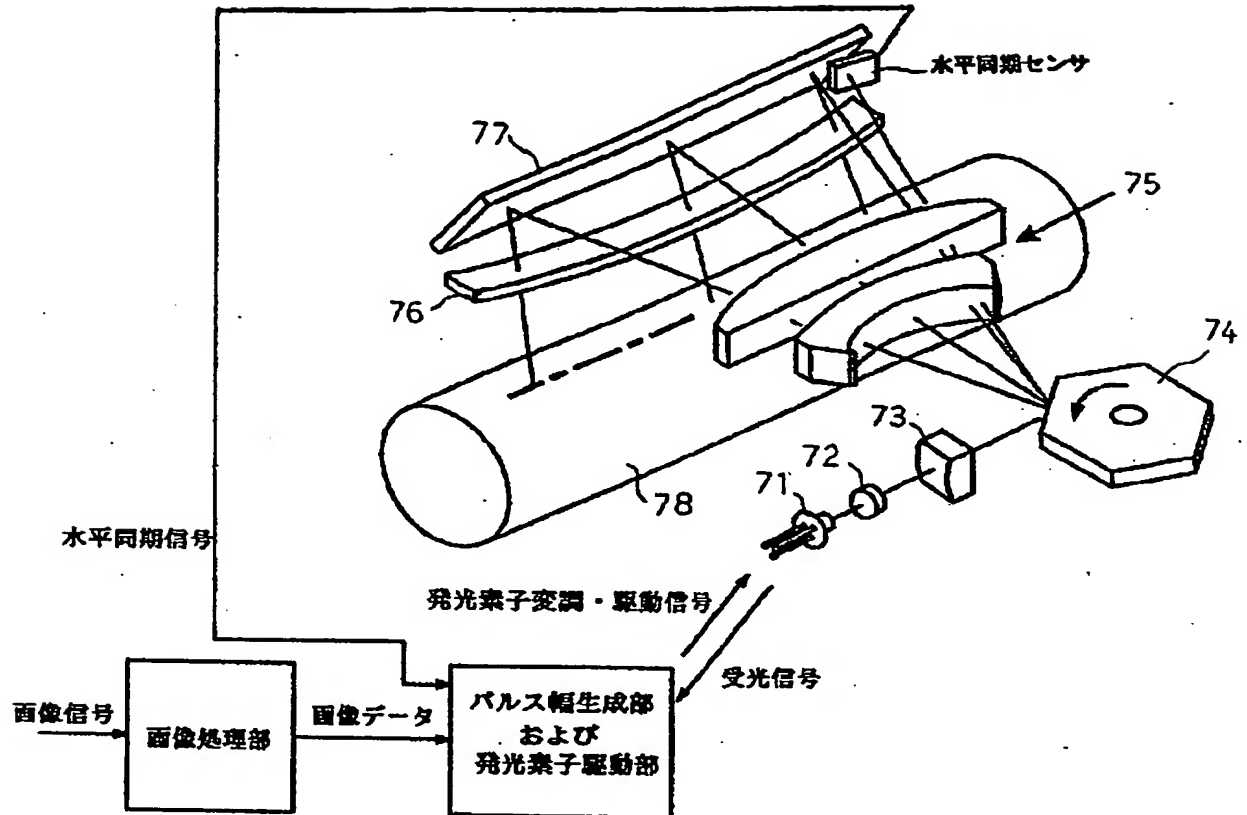
【図15】



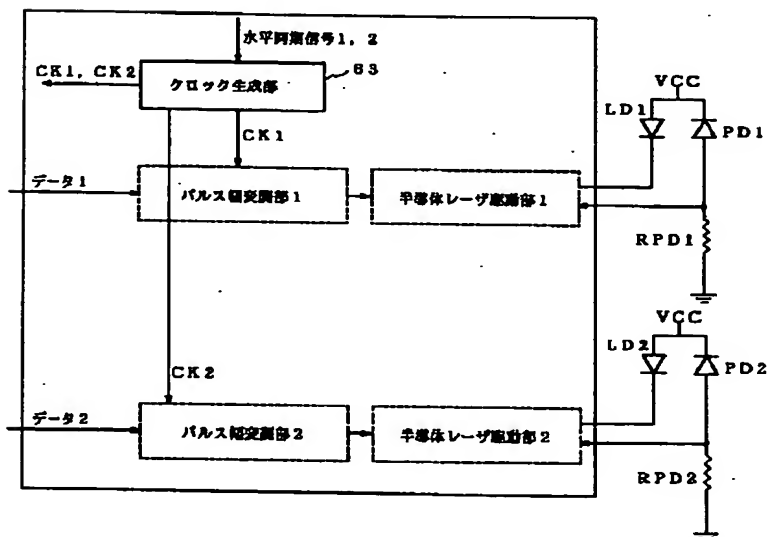
【図 16】



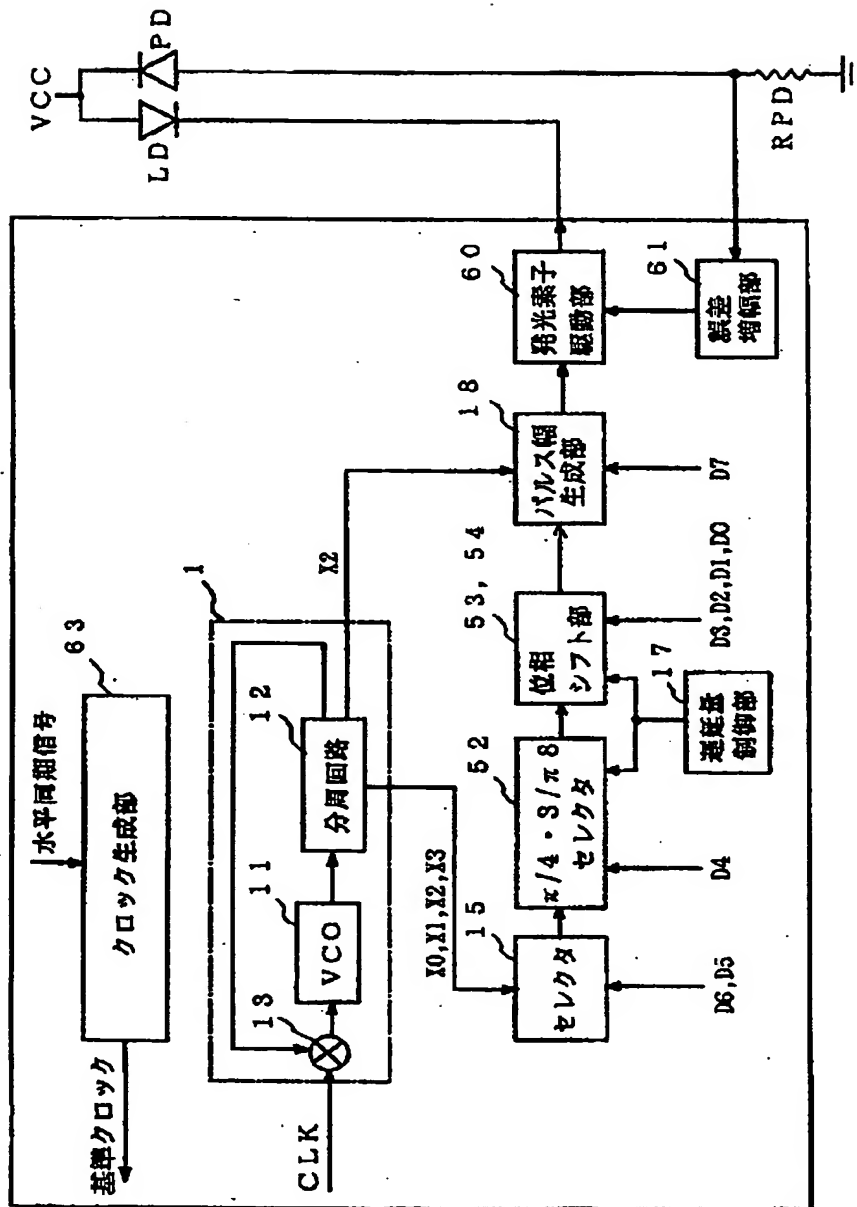
【図 17】



【図 22】



【図18】



フロントページの続き

Fターム(参考) 2C362 AA53 AA55 AA61 BB32 BB34  
 BB37 BB38 CA02 CA09 DA09  
 5C074 AA12 BB03 BB04 CC01 DD07  
 FF05 GG02 GG04  
 5C077 LL18 LL19 NN17 NP07 PQ04  
 PQ05 PQ08 PQ11 SS02 SS03  
 TT02 TT03 TT06